

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-55668

(43) 公開日 平成10年(1998) 2月24日

| (51) Int.Cl. <sup>6</sup> | 識別記号   | 庁内整理番号 | F I           | 技術表示箇所  |
|---------------------------|--------|--------|---------------|---------|
| G 1 1 C                   | 11/407 |        | G 1 1 C 11/34 | 3 5 4 C |
| G 0 6 F                   | 1/10   |        | G 0 6 F 15/78 |         |
|                           | 15/78  |        | H 0 3 L 7/00  | D       |
| G 1 1 C                   | 11/401 |        | G 0 6 F 1/04  | 3 3 0 A |
| H 0 1 L                   | 21/82  |        | G 1 1 C 11/34 | 3 6 2 C |

審査請求 未請求 請求項の数27 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願平8-213880

(22) 出願日 平成8年(1996) 8月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 内田 敏也

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

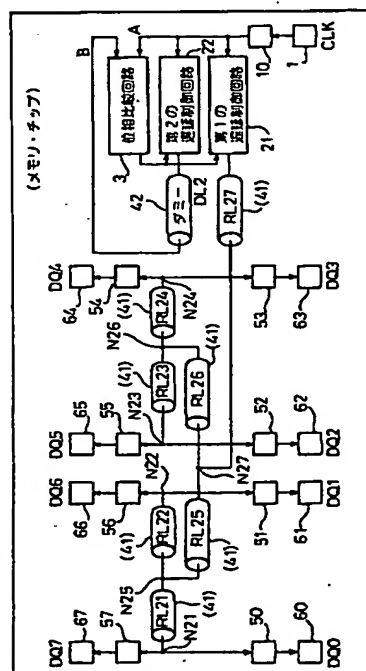
(54) 【発明の名称】 半導体集積回路、半導体集積回路モジュール、および、半導体集積回路システム

#### (57) 【要約】

【課題】 位相同期した制御信号を複数の対象に供給する半導体集積回路、半導体集積回路モジュール、および、半導体集積回路システムに関し、対象の物理的な位置に関わらず位相同期した制御信号を供給することを目的とする。

【解決手段】 第1の遅延制御回路21の出力端から複数の対象回路50～57の各々の入力端までの各リアル配線41の長さをそれぞれほぼ等距離にすると共に、ダミー配線手段42の配線負荷の大きさを該第1の遅延制御回路21から1の該対象回路50～57までのリアル配線41の配線負荷の大きさにほぼ一致させるように構成する。

本発明を適用した半導体集積回路の他の実施例を示すブロック図



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 制御信号（CLK）が供給される第1および第2の遅延制御回路（21、22）と、  
該第1の遅延制御回路（21）の出力信号がそれぞれリアル配線（41）を介して供給される複数の対象回路（5；50～57）と、

前記第2の遅延制御回路（22）のダミー出力信号がダミー配線手段（42）を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路（3）とを具備する半導体集積回路であって、

前記第1の遅延制御回路（21）の出力端から前記複数の対象回路（5；50～57）の各々の入力端までの各リアル配線（41）の長さをそれぞれほぼ等距離にすると共に、前記ダミー配線手段（42）の配線負荷の大きさを該第1の遅延制御回路（21）から1の該対象回路（5；50～57）までのリアル配線（41）の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、前記ダミー配線手段（42）の配線長を前記第1の遅延制御回路（21）から1の前記対象回路（5；50～57）までのリアル配線（41）の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路。

【請求項3】 請求項1記載の半導体集積回路において、前記第1の遅延制御回路（21）の出力端から前記各対象回路（5；50～57）の入力端までの各リアル配線（41）をツリー状に構成し、各分岐箇所から次の分岐箇所または該対象回路の入力端まで各分岐配線の距離が等しくなるように構成したことを特徴とする半導体集積回路。

【請求項4】 制御信号（CLK）が供給される第1および第2の遅延制御回路（21、22）と、  
該第1の遅延制御回路（21）の出力信号がそれぞれリアル配線（41）を介して供給される複数の対象回路（5；50～57）と、

前記第2の遅延制御回路（22）のダミー出力信号がダミー配線手段（42）を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路（3）とを具備する半導体集積回路であって、

前記第1の遅延制御回路（21）の出力端から前記複数の対象回路（5；50～57）の入力端までのリアル配線（41）を、対称性を有するツリー状にレイアウトすると共に、前記ダミー配線手段（42）の配線負荷の大きさを該第1の遅延制御回路（21）から任意の前記対象回路（5；50～57）までのリアル配線（41）の配線負荷の大きさにほぼ一致させるように構成したこと

を特徴とする半導体集積回路。

【請求項5】 請求項4記載の半導体集積回路において、前記ダミー配線手段（42）の配線長を前記第1の遅延制御回路（21）から1の前記対象回路（5；50～57）までのリアル配線（41）の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路。

【請求項6】 制御信号（CLK）が供給される第1および第2の遅延制御回路（21、22）と、  
該第1の遅延制御回路（21）の出力信号がそれぞれリアル配線（41）を介して供給される複数の対象回路（5；50～57）と、

前記第2の遅延制御回路（22）のダミー出力信号がダミー配線手段（42）を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路（3）とを具備する半導体集積回路であって、

前記複数の対象回路（5；50～57）は、複数のグループで構成され、該各グループは、前記第1の遅延制御回路の出力信号を受けるノードを有し、前記第1の遅延制御回路（21）の出力端から前記複数のグループの各ノードまでの間のリアル配線を対称性を有するツリー状にレイアウトすると共に、前記ダミー配線手段（42）の配線負荷の大きさを該第1の遅延制御回路（21）から1の前記ノードまでのリアル配線（41）の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路。

【請求項7】 請求項6記載の半導体集積回路において、前記ダミー配線手段（42）の配線長を前記第1の遅延制御回路（21）から1の前記対象回路（5；50～57）までのリアル配線（41）の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路。

【請求項8】 請求項1～7のいずれかに記載の半導体集積回路において、前記制御信号は、前記各対象回路に供給するクロック信号（CLK）であることを特徴とする半導体集積回路。

【請求項9】 請求項1～7のいずれかに記載の半導体集積回路において、前記半導体集積回路はシンクロナスDRAMであり、且つ、前記各対象回路（5；50～57）は該シンクロナスDRAMのデータ出力バッファ回路であることを特徴とする半導体集積回路。

【請求項10】 請求項9記載の半導体集積回路において、前記制御信号は前記各データ出力バッファ回路（5；50～57）のイネーブル信号であることを特徴とする半導体集積回路。

【請求項11】 制御信号（CLK）が供給される第1および第2の遅延制御回路（221、222）と、  
該第1の遅延制御回路（221）の出力信号がそれぞれリアル配線（241）を介して供給される複数の対象半導体集積回路（250～253）と、

前記第2の遅延制御回路(222)のダミー出力信号がダミー配線手段(242)を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路(203)とを具備する半導体集積回路モジュールであって、前記第1の遅延制御回路(221)の出力端から前記複数の対象半導体集積回路(250~253)の各々の入力端までの各リアル配線(241)の長さをそれぞれほぼ等距離にすると共に、前記ダミー配線手段(242)の配線負荷の大きさを該第1の遅延制御回路(221)から1の該対象半導体集積回路(250~253)までのリアル配線(241)の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路モジュール。

【請求項12】 請求項11記載の半導体集積回路モジュールにおいて、前記ダミー配線手段(242)の配線長を前記第1の遅延制御回路(221)から1の前記対象半導体集積回路(250~253)までのリアル配線(241)の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路モジュール。

【請求項13】 請求項11記載の半導体集積回路モジュールにおいて、前記第1の遅延制御回路(221)の出力端から前記各対象半導体集積回路(250~253)の入力端までの各リアル配線(241)をツリー状に構成し、各分岐箇所から次の分岐箇所または該対象半導体集積回路の入力端まで各分岐配線の距離が等しくなるように構成したことを特徴とする半導体集積回路モジュール。

【請求項14】 制御信号(CLK)が供給される第1および第2の遅延制御回路(221, 222)と、該第1の遅延制御回路(221)の出力信号がそれぞれリアル配線(241)を介して供給される複数の対象半導体集積回路(250~253)と、前記第2の遅延制御回路(222)のダミー出力信号がダミー配線手段(242)を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路(203)とを具備する半導体集積回路モジュールであって、前記第1の遅延制御回路(221)の出力端から前記複数の対象半導体集積回路(250~253)の入力端までのリアル配線(241)を、対称性を有するツリー状にレイアウトすると共に、前記ダミー配線手段(242)の配線負荷の大きさを該第1の遅延制御回路(221)から任意の前記対象半導体集積回路(250~253)までのリアル配線(241)の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路モジュール。

【請求項15】 請求項14記載の半導体集積回路モジ

ジュールにおいて、前記ダミー配線手段(242)の配線長を前記第1の遅延制御回路(221)から1の前記対象半導体集積回路(250~253)までのリアル配線(241)の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路モジュール。

【請求項16】 制御信号(CLK)が供給される第1および第2の遅延制御回路(221, 222)と、該第1の遅延制御回路(221)の出力信号がそれぞれリアル配線(241)を介して供給される複数の対象半導体集積回路(250~253)と、

前記第2の遅延制御回路(222)のダミー出力信号がダミー配線手段(242)を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路(203)とを具備する半導体集積回路モジュールであって、前記複数の対象半導体集積回路(250~253)は、複数のグループで構成され、該各グループは、前記第1の遅延制御回路の出力信号を受けるノードを有し、前記第1の遅延制御回路(221)の出力端から前記複数のグループの各ノードまでの間のリアル配線を対称性を有するツリー状にレイアウトすると共に、前記ダミー配線手段(242)の配線負荷の大きさを該第1の遅延制御回路(221)から1の前記ノードまでのリアル配線(241)の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路モジュール。

【請求項17】 請求項16記載の半導体集積回路モジュールにおいて、前記ダミー配線手段(242)の配線長を前記第1の遅延制御回路(221)から1の前記対象半導体集積回路(250~253)までのリアル配線(241)の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路モジュール。

【請求項18】 請求項11~17のいずれかに記載の半導体集積回路モジュールにおいて、前記半導体集積回路モジュールはメモリモジュールであり、且つ、前記各対象半導体集積回路(250~253)は該メモリモジュールのメモリチップであることを特徴とする半導体集積回路モジュール。

【請求項19】 請求項11~17のいずれかに記載の半導体集積回路モジュールにおいて、前記制御信号はクロック信号であり、前記各対象半導体集積回路(250~253)の入力端はクロック入力端子であることを特徴とする半導体集積回路モジュール。

【請求項20】 制御信号(CLK)が供給される第1および第2の遅延制御回路(321, 322)と、該第1の遅延制御回路(321)の出力信号がそれぞれリアル配線(341)を介して供給される複数の対象半導体集積回路モジュール(350~353)と、前記第2の遅延制御回路(322)のダミー出力信号がダミー配線手段(342)を介して供給され、前記制御

信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路(303)とを具備する半導体集積回路システムであって、前記第1の遅延制御回路(321)の出力端から前記複数の対象半導体集積回路モジュール(350~353)の各々の入力端までの各リアル配線(341)の長さをそれぞれほぼ等距離にすると共に、前記ダミー配線手段(342)の配線負荷の大きさを該第1の遅延制御回路(321)から1の該対象半導体集積回路モジュール(350~353)までのリアル配線(241)の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路システム。

【請求項21】 請求項20記載の半導体集積回路システムにおいて、前記ダミー配線手段(342)の配線長を前記第1の遅延制御回路(321)から1の前記対象半導体集積回路モジュール(350~353)までのリアル配線(341)の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路システム。

【請求項22】 請求項20記載の半導体集積回路システムにおいて、前記第1の遅延制御回路(321)の出力端から前記各対象半導体集積回路モジュール(350~353)の入力端までの各リアル配線(341)をツリー状に構成し、各分岐箇所から次の分岐箇所または該対象半導体集積回路モジュールの入力端まで各分岐配線の距離が等しくなるように構成したことを特徴とする半導体集積回路システム。

【請求項23】 制御信号(CLK)が供給される第1および第2の遅延制御回路(321, 322)と、該第1の遅延制御回路(321)の出力信号がそれぞれリアル配線(341)を介して供給される複数の対象半導体集積回路モジュール(350~353)と、前記第2の遅延制御回路(322)のダミー出力信号がダミー配線手段(342)を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路(303)とを具備する半導体集積回路システムであって、前記第1の遅延制御回路(321)の出力端から前記複数の対象半導体集積回路モジュール(350~353)の入力端までのリアル配線(341)を、対称性を有するツリー状にレイアウトすると共に、前記ダミー配線手段(342)の配線負荷の大きさを該第1の遅延制御回路(321)から任意の前記対象半導体集積回路モジュール(350~353)までのリアル配線(341)の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路システム。

【請求項24】 請求項23記載の半導体集積回路システムにおいて、前記ダミー配線手段(342)の配線長を前記第1の遅延制御回路(321)から1の前記対象

半導体集積回路モジュール(350~353)までのリアル配線(341)の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路システム。

【請求項25】 制御信号(CLK)が供給される第1および第2の遅延制御回路(321, 322)と、該第1の遅延制御回路(321)の出力信号がそれぞれリアル配線(341)を介して供給される複数の対象半導体集積回路モジュール(350~353)と、前記第2の遅延制御回路(322)のダミー出力信号がダミー配線手段(342)を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路(303)とを具備する半導体集積回路システムであって、前記複数の対象半導体集積回路モジュール(350~353)は、複数のグループで構成され、該各グループは、前記第1の遅延制御回路の出力信号を受けるノードを有し、前記第1の遅延制御回路(321)の出力端から前記複数のグループの各ノードまでの間のリアル配線を対称性を有するツリー状にレイアウトすると共に、前記ダミー配線手段(342)の配線負荷の大きさを該第1の遅延制御回路(321)から1の前記ノードまでのリアル配線(341)の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路システム。

【請求項26】 請求項25記載の半導体集積回路システムにおいて、前記ダミー配線手段(342)の配線長を前記第1の遅延制御回路(321)から1の前記対象半導体集積回路モジュール(350~353)までのリアル配線(341)の配線長とほぼ一致させるようにしたことを特徴とする半導体集積回路システム。

【請求項27】 請求項20~26のいずれかに記載の半導体集積回路システムにおいて、前記各対象半導体集積回路モジュール(350~353)はメモリモジュールであり、且つ、該各対象半導体集積回路モジュール(350~353)の入力端はクロック入力端子であることを特徴とする半導体集積回路システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、位相同期した制御信号を複数の対象に供給する半導体集積回路、半導体集積回路モジュール、および、半導体集積回路システムに関する。近年、半導体集積回路は高速化および高集積化が進み、クロック信号に対しても、位相の同期したクロック信号を複数の回路(出力パッド)へ供給することが必要になって来ている。例えば、シンクロナスDRAM(SDRAM)の複数の出力バッファ回路に対しては、各出力バッファ回路が形成されているチップ上の位置に関わらず位相の同期したクロック信号の供給が必要とされている。このような位相同期した信号の必要性は、半

導体集積回路におけるクロック信号だけでなく他の制御信号に関しても同様のものがある。さらに、半導体集積回路における制御信号の同期は、半導体集積回路モジュール（例えば、メモリモジュール）上での制御信号、或いは、半導体集積回路システム（例えば、メモリシステム）における制御信号に関しても要望されている。

#### 【0002】

【従来の技術】近年のメモリ・デバイスは、例えば、100MHzを超える動作速度を達成しており、DLL(De-lay Locked Line)等の技術を利用して外部入力クロック信号と内部出力クロック信号との位相を合わせることに、内部のクロック配線による遅れを外からは見えないようにしてアクセス時間の遅れやバラツキを抑える方法が用いられている。

【0003】このようなDLL技術では、内部出力クロック信号線の負荷による伝搬遅延を見積もるために、ダミーの内部出力クロック配線を設けている。図1は関連技術としての半導体集積回路の一例を概略的に示すブロック図であり、DLL回路を概略的に示すものである。図1において、参照符号1はクロック入力パッド、5は出力回路（対象回路）、そして、6はデータ出力パッドを示している。また、参照符号3は位相比較回路、21および22は位相比較回路3の出力によって遅延時間が可変制御される遅延制御回路、41は遅延制御回路21から出力回路5までの間の内部出力クロック配線（リアル配線）、そして、42は前記内部出力クロック配線と同等の配線負荷を有するダミーの内部出力クロック配線（ダミー配線）を示している。

【0004】図1に示されるように、DLL回路では、位相比較回路3の一方の入力（遅延制御回路21および22の入力：比較基準信号 $\phi_{ext}$ ）Aから位相比較回路3の他方の入力（比較対象信号 $\phi_{out}$ ）Bまでの遅延がちょうど1クロック分の時間になるように位相比較回路3において2つの入力信号の位相を比較し、その比較結果に応じて遅延制御回路21および22の遅延量の制御が行われる。その結果、実際に使用する出力回路5のクロック入力端Cにおける内部クロック信号の入力クロックAに対する遅延もちょうど1クロック分の時間になり、見かけ上、リアル配線41の伝搬遅延がなくなることになる。

#### 【0005】

【発明が解決しようとする課題】図2は図1の半導体集積回路における課題を説明するための図である。すなわち、図2に示す回路では、図1における出力回路5およびデータ出力パッド6が、チップ（メモリ・チップ）上の異なる位置に設けられた複数（図上では8個）の出力回路50～57およびデータ出力パッド60～67（DQ0～DQ7）として構成されている。ここで、各出力回路50～57は、例えばSDRAMにおける複数の出力バッファ回路に対応するものである。

【0006】このように、データ出力パッド60～67（出力回路50～57）がチップ内に複数存在する場合には、それらの物理的位置がそれぞれ異なるため、リアル配線（41）の長さ（内部出力クロック配線の負荷）も各出力回路50～57の位置により異なる。従って、いずれかの出力回路（データ出力パッド）に合わせてダミー配線（42）を規定すると、他の出力回路（データ出力パッド）では若干の誤差を生じてしまうことになる。

【0007】具体的に、図2において、例えば、ダミー配線（42）の長さDLを遅延制御回路（第1の遅延制御回路）21から最も近い位置にある出力回路53および54までのリアル配線（41）の長さRL4と等しくなるように設定（DL=RL4）すると、出力回路53および54に入力される内部クロックの位相はクロックパッドに入力される外部クロック信号の位相と一致する。しかしながら、この場合、第1の遅延制御回路21から最も遠い位置にあるデータ出力パッド60および67（DQ0およびDQ7）では、遅延制御回路21から出力回路50および57までのリアル配線（41）の長さがRL1+RL2+RL3+RL4になるため、リアル配線の長さRL1+RL2+RL3に対応するダミー配線（DL）が設けられていないことにより、該リアル配線（RL1+RL2+RL3）に対応する伝搬遅延（誤差）分内部クロックの供給タイミングが遅くなってしまふ。

【0008】図3は図2の半導体集積回路における課題を説明するための図であり、半導体集積回路の一例としてSDRAMの動作における課題を説明するためのものである。なお、本発明の対象とする半導体集積回路の一例としてのSDRAMは、後に詳述する。図3において、tACはシステムクロックCLKからのクロックアクセス時間を、tOHは前のサイクル又は次のサイクルへの出力データ保持時間を示している。SDRAMの特性のバラツキ、温度依存性、電源電圧依存性を考えると、tACとtOHとは一致せず、ある幅を持ってしまふ。この時間はデータが不確定な時間で、どのようなデータが出力されるか分からない時間を意味し、メモリシステムでは使用できない時間、いわゆるデッドバンドになっている。その他、図示していないが、このデッドバンドにはボード上の配線遅延時間、バラツキも含まれる。

【0009】一方、SDRAMの出力をシステム側で取り込む（受け取る）には、セットアップ時間（tS1）、ホールド時間（tH1）が必要で、この時間はメモリ出力のデータが確定している時間以内である必要がある。その時間は、図から（tCLK+tOH-tAC）になる。例えば、100MHzで動作するシステムを考えると、サイクル時間（tCLK）は10ns、メモリアクセス時間（tAC）は6ns、ホールド時間

( $t_{OH}$ )は3 nsとすると、差引き7 nsがシステム側で使用できる時間になる。通常の入力回路を使用したシステムでの受取側ロジックのセットアップ時間、ホールド時間の合計( $t_{SI} + t_{HI}$ )は3 nsであり、残り4 nsがボード上での信号遅延、DQ端子間のバラツキ等のシステム余裕時間になる。ボード上での信号伝搬時間などを考えると、この値はシステムにとって非常に厳しい値といえる。更に高速のシステムになれば益々厳しいタイミング調整が必要になるのはいうまでもない。そのため、図3に示したデータの不確定時間をできるだけ小さくすることが重要になってきた。

【0010】データの不確定時間を短くするには、例えば、図2を参照して説明したデータ出力パッド60～67(出力回路50～57)がチップ内の異なる位置に設けられているような場合でも、常にデータが外部クロックCLKに対して所定の位相で出力され、すなわち、クロックアクセス時間 $t_{AC}$ が常に一定であればよい。もし、データの出力が外部クロックCLKの立ち上がり同期して行われることが望ましければ、クロックアクセス時間 $t_{AC}$ が常にゼロであればよい。

【0011】以上、シンクロナスDRAMを例として外部から入力される信号に同期して出力信号が出力される必要性について説明したが、これはシンクロナスDRAMに限らず、多くの半導体集積回路に共通していえることである。半導体集積回路の内部については、各半導体素子で所望の動作が行えるように各種の対策をとることが可能であるが、各半導体集積回路の内部での処理結果を出力する場合には、他の半導体素子との関係を規定する必要があり、出力のタイミングを一定にすることが重要である。

【0012】上述したような、各データ出力パッド60～67までのリアル配線の長さの違いによる伝搬遅延(誤差)を単純に回避するには、ダミーの内部出力クロック配線(ダミー配線)42、位相比較回路3、および、遅延制御回路(第1および第2の遅延制御回路)21、22をデータ出力パッドの数だけ設ければよいが、それでは回路面積や消費電力等の面で不利である。上述した従来技術の課題は、1つのチップの半導体集積回路(例えば、メモリチップ)における課題だけでなく、例えば、1つの回路基板の半導体集積回路モジュール(例えば、メモリモジュール)、さらには、複数の回路基板を含む半導体集積回路システム(例えば、メモリシステム)等においても同様である。

【0013】本発明は、上述した従来の半導体集積回路が有する課題に鑑み、対象とする複数の回路若しくはパッドが設けられた物理的な位置に関わらず、各回路若しくはパッドに対して位相同期した制御信号を供給することを目的とする。さらに、本発明は、半導体集積回路モジュールおよび半導体集積回路システムに対しても、同様に位相同期した制御信号を供給することを目的とす

る。

【0014】

【課題を解決するための手段】本発明の第1の形態によれば、制御信号が供給される第1および第2の遅延制御回路と、該第1の遅延制御回路の出力信号がそれぞれリアル配線を介して供給される複数の対象回路と、前記第2の遅延制御回路のダミー出力信号がダミー配線手段を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路とを具備する半導体集積回路であって、前記第1の遅延制御回路の出力端から前記複数の対象回路の各々の入力端までの各リアル配線の長さをそれぞれほぼ等距離にすると共に、前記ダミー配線手段の配線負荷の大きさを該第1の遅延制御回路から1の該対象回路までのリアル配線の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路が提供される。

【0015】また、本発明の第2の形態によれば、制御信号が供給される第1および第2の遅延制御回路と、該第1の遅延制御回路の出力信号がそれぞれリアル配線を介して供給される複数の対象半導体集積回路と、前記第2の遅延制御回路のダミー出力信号がダミー配線手段を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路とを具備する半導体集積回路モジュールであって、前記第1の遅延制御回路の出力端から前記複数の対象半導体集積回路の各々の入力端までの各リアル配線の長さをそれぞれほぼ等距離にすると共に、前記ダミー配線手段の配線負荷の大きさを該第1の遅延制御回路から1の該対象半導体集積回路までのリアル配線の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回路モジュールが提供される。

【0016】さらに、本発明の第3の形態によれば、制御信号が供給される第1および第2の遅延制御回路と、該第1の遅延制御回路の出力信号がそれぞれリアル配線を介して供給される複数の対象半導体集積回路モジュールと、前記第2の遅延制御回路のダミー出力信号がダミー配線手段を介して供給され、前記制御信号と該ダミー配線手段の出力信号の位相を比較して、その比較結果により前記第1および第2の遅延制御回路における遅延時間を制御する位相比較回路とを具備する半導体集積回路システムであって、前記第1の遅延制御回路の出力端から前記複数の対象半導体集積回路モジュールの各々の入力端までの各リアル配線の長さをそれぞれほぼ等距離にすると共に、前記ダミー配線手段の配線負荷の大きさを該第1の遅延制御回路から1の該対象半導体集積回路モジュールまでのリアル配線の配線負荷の大きさにほぼ一致させるように構成したことを特徴とする半導体集積回

路システムが提供される。

【0017】

【発明の実施の形態】本発明の半導体集積回路によれば、第1の遅延制御回路の出力端から複数の対象回路の各々の入力端までの各リアル配線の長さは、それぞれほぼ等距離になるように規定される。さらに、ダミー配線手段の配線負荷の大きさは、第1の遅延制御回路から1の対象回路までのリアル配線の配線負荷の大きさにほぼ一致するように設定される。

【0018】また、本発明の半導体集積回路モジュールによれば、第1の遅延制御回路の出力端から複数の対象半導体集積回路の各々の入力端までの各リアル配線の長さは、それぞれほぼ等距離に規定される。さらに、ダミー配線手段の配線負荷の大きさは、第1の遅延制御回路から1の対象半導体集積回路までのリアル配線の配線負荷の大きさにほぼ一致するように設定される。

【0019】さらに、本発明の半導体集積回路システムによれば、第1の遅延制御回路の出力端から複数の対象半導体集積回路モジュールの各々の入力端までの各リアル配線の長さは、それぞれほぼ等距離に規定される。さらに、ダミー配線手段の配線負荷の大きさは、第1の遅延制御回路から1の対象半導体集積回路モジュールまでのリアル配線の配線負荷の大きさにほぼ一致するように設定される。

【0020】これによって、対象回路（対象半導体集積回路、または、対象半導体集積回路モジュール）が設けられた物理的な位置に関わらず、各対象回路に対して位相同期した制御信号を供給することができる。

【0021】

【実施例】以下、図面を参照して本発明に係る半導体集積回路、半導体集積回路モジュール、および、半導体集積回路システムの実施例を説明する。図4は本発明を適用した半導体集積回路の一実施例を示すブロック図であり、DLL回路を概略的に示すものである。図4において、参照符号1はクロック入力パッド、10はクロックバッファ回路、50～57は出力バッファ回路（対象回路）、そして、60～67はデータ出力パッド（DQ0～DQ7）を示している。また、参照符号21は第1の遅延制御回路、22は第2の遅延制御回路、3は位相比較回路、41は内部出力クロック配線（リアル配線）、そして、42はダミーの内部出力クロック配線（ダミー配線）を示している。

【0022】図4に示されるように、クロック信号CLK（A：比較基準信号φext）は、クロック入力パッド1およびクロックバッファ回路10を介して、第1の遅延制御回路21、第2の遅延制御回路22、および、位相比較回路3の一方の入力に供給されている。第1の遅延制御回路21の出力信号（クロック信号）は、以下に詳述するように、それぞれリアル配線（41）を介して各出力バッファ回路50～57に供給されている。こ

こで、位相比較回路3の他方の入力には、ダミー配線42を介して第2の遅延制御回路22の出力（ダミーのクロック信号、B：比較対象信号φout）が供給され、位相比較回路3は、これら2つの入力信号の位相を比較して第1および第2の遅延制御回路21、22を制御するようになっている。なお、このDLL回路の詳細は後に図面を参照して詳述する。

【0023】図4に示されるように、前述した図2の半導体集積回路と同様に、出力回路50～57およびデータ出力パッド60～67は、チップ（メモリ・チップ）上の異なる位置に設けられている。この図4に示す本発明の第1実施例では、図2におけるリアル配線RL2の中央部にノードN15を設け、該ノードN15に対して遅延制御回路21からのリアル配線RL15を接続するようになっている。すなわち、図2におけるリアル配線RL2は、該リアル配線RL2の半分の長さを有する2つのリアル配線RL12およびRL13に分割される。従って、遅延制御回路（第1の遅延制御回路）21の出力端とノードN15との間にリアル配線RL15が配置され、ノードN15とノードN12との間にリアル配線RL12が配置され、また、ノードN12とノードN11との間にリアル配線RL11が配置される。さらに、ノードN15とノードN13との間にリアル配線RL13が配置され、また、ノードN13とノードN14との間にリアル配線RL14が配置される。ここで、各リアル配線の長さは、 $RL12 = RL13 (= 1/2 RL2)$ 、および、 $RL11 = RL14$ が成り立つように規定されている。

【0024】このとき、ダミー配線（42）の長さDL1を、例えば、リアル配線（41）の長さを $RL15 + RL13$ （または、 $RL15 + RL12$ ）に設定することにより、バッファ出力回路52、55、51、56（データ出力パッド62、65、61、66）に供給される内部クロックの立ち上がり（または、立ち下がり）のタイミングをクロック信号Aの立ち上がり（または、立ち下がり）のタイミングと一致させることができ、これらバッファ出力回路それぞれに対する内部クロックの供給タイミングの誤差を無くすることができる。この場合、バッファ出力回路53、54、50、57（データ出力パッド63、64、60、67）では、リアル配線の長さRL14（RL11）に対応するダミー配線が設けられていないために、該リアル配線に対応する伝搬遅延（誤差）が生じることになる。ただし、これらのデータ出力パッド63、64、60、67における誤差は、前述した図2におけるデータ出力パッド60、67等における誤差よりは小さなものになっており、改善効果は得られる。

【0025】すなわち、本実施例では、第1の遅延制御回路21の出力端から各出力回路（対象回路）50～57の入力端までの各リアル配線（41）を、対称性を有

するツリー状として規定し、ダミー配線(42)の長さDLを該第1の遅延制御回路から任意の出力回路までのリアル配線の距離にほぼ一致させるようになっている。

【0026】図5は本発明を適用した半導体集積回路の他の実施例を示すブロック図であり、上述した図4の実施例を改善したものである。ここで、第1の遅延制御回路21、第2の遅延制御回路22、および、位相比較回路3等の構成は、上述した図4の実施例と同様である。ここで、第1の遅延制御回路21の出力端とノードN27との間にリアル配線RL27が配置され、ノードN27とノードN25との間にリアル配線RL25が配置され、また、ノードN27とノードN26との間にリアル配線RL26が配置される。さらに、ノードN25とノードN21との間にリアル配線RL21が配置され、ノードN25とノードN22との間にリアル配線RL22が配置され、また、ノードN26とノードN23との間にリアル配線RL23が配置され、そして、ノードN26とノードN24との間にリアル配線RL24が配置されている。

【0027】図5に示されるように、本実施例では、第1の遅延制御回路21の出力端から各出力バッファ回路50~57の入力端までの各リアル配線(41)の長さを等距離になるように規定している。すなわち、リアル配線(41)の長さRL25はRL26と等しく( $RL25=RL26$ )、また、リアル配線(41)の長さRL21、RL22、RL23、RL24は全て等しく( $RL21=RL22=RL23=RL24$ )なるように規定されている。

【0028】従って、出力バッファ回路50、57(出力パッド60、67)までのリアル配線の長さは $RL27+RL25+RL21$ 、出力バッファ回路51、56(出力パッド61、66)までのリアル配線の長さは $RL27+RL25+RL22$ 、出力バッファ回路52、55(出力パッド62、65)までのリアル配線の長さは $RL27+RL26+RL23$ 、そして、出力バッファ回路53、54(出力パッド63、64)までのリアル配線の長さは $RL27+RL26+RL24$ になり、 $RL25=RL26$ 、且つ、 $RL21=RL22=RL23=RL24$ であるため、第1の遅延制御回路21の出力端から各出力バッファ回路50~57の入力端までの各リアル配線の長さが等距離になる。

【0029】さらに、ダミー配線42の長さDL2を上記第1の遅延制御回路21の出力端から各出力バッファ回路50~57の入力端までのリアル配線の長さ $RL27+RL25+RL21(=RL27+RL25+RL22=RL27+RL26+RL23=RL27+RL26+RL24)$ に一致させることにより、全ての出力パッド60~67における出力タイミング、例えば、SDRAMにおける読み出しデータの出力タイミングを同期させることができる。なお、図5の構成において、第

2の遅延制御回路22およびダミー配線42を取り除き、その代わりにノードN24の信号を位相比較回路3の他方の入力とし、一方の入力であるクロック入力パッド1からの信号(外部クロックCLK)と比較する方法も考えられるが、この方法では、ノードN24の信号と位相比較回路3の他方の入力信号との間に遅延が生じることがないようにするため、ノードN24を位相比較回路3の他方の入力端に近接して配置する必要がありレイアウトの制限が大きくなる。また、ノードN24と位相比較回路3とを近接して配置すると、そのための配線遅延により外部クロックと各出力回路50~57に入力される内部クロックとの同期が取れなくなってしまう。従って、本発明では、第2の遅延制御回路22およびダミー配線42を設けた構成としている。

【0030】図6は本発明の半導体集積回路における遅延制御回路(遅延部)21、22の一構成例を説明するための図であり、同図(a)は1ビット分のディレイ回路の構成を示し、同図(b)は該1ビット分のディレイ回路の動作のタイムチャートを示し、そして、同図(c)は1ビット分のディレイ回路を複数段接続した時の構成と動作説明を示すものである。

【0031】図6(a)に示されるように、1ビット分のディレイ回路は2個のNANDゲート401と402、および、インバータ403を備えて構成される。この1ビット分のディレイ回路の動作を図6(b)を参照して説明すると、入力φEは活性化信号(イネーブル信号)で、高レベル“H”の時にディレイ回路が動作する。図6(b)では、イネーブル信号φEが高レベル“H”になって信号のアクセスが可能になった状態が示されている。なお、図6(b)において、INは1ビット分のディレイ回路への入力信号を示し、また、φNは複数段接続されたディレイ回路のうち隣接する右側のディレイ回路からの信号、OUTは1ビット分のディレイ回路の出力信号、そして、4a-1および4a-2は図6(a)の回路において対応するノードの波形を示している。従って、OUTは左側に隣接する1ビット分のディレイ回路における信号φNに対応する。

【0032】信号φNが低レベル“L”の時には、出力信号OUTは常に低レベル“L”になり、また、信号φNが高レベル“H”で信号φEが低レベル“L”の時には、出力信号OUTは高レベル“H”になる。信号φNが高レベル“H”で信号φEが高レベル“H”の時に、入力信号INが低レベル“L”であれば出力信号OUTは高レベル“H”になり、INが高レベル“H”であれば低レベル“L”になる。

【0033】図6(a)の回路によれば、イネーブル信号φEが高レベル“H”の状態を入力信号INが立ち上がると、その入力信号は矢印の経路に伝播するが、イネーブル信号φEが低レベル“L”の状態では、入力信号INが出力OUTに矢印の経路で伝播しないようになっ

ている。図6(c)は、図6(a)に示す1ビット分のディレイ回路を複数段カスケード接続した例であり、実際のディレイ回路に相当する。ここで、図6(c)では3段しか描いていないが、実際には多数段接続されている。また、イネーブル信号 $\phi E$ の信号線は、回路要素毎に、 $\phi E-1$ 、 $\phi E-2$ 、 $\phi E-3$ のように複数本あり、これらの信号はディレイ制御回路によって制御される。なお、図6(a)～(c)に示すディレイ制御回路は、図4および図5では遅延制御回路21、22に含めて描かれている。

【0034】図6(c)では、中央の1ビット分のディレイ回路が活性化されており、イネーブル信号 $\phi E-2$ が高レベル“H”になっている。この場合、入力信号INが低レベル“L”から高レベル“H”に変化すると、左端の1ビット分のディレイ回路と右端の1ビット分のディレイ回路のイネーブル信号 $\phi E-1$ および $\phi E-3$ は低レベル“L”であるから、太線のように入力信号INはNANDゲート401-1および401-3で止められてしまう。

【0035】一方、活性化されている中央の1ビット分のディレイ回路のイネーブル信号 $\phi E-2$ は高レベル“H”レベルであるから、入力信号INはNANDゲート401-2を通過する。右側の1ビット分のディレイ回路の出力信号OUTは高レベル“H”であるから、入力信号INはNANDゲート402-2も通過して、出力信号OUTとして低レベル“L”の信号が伝達されることになる。上記のように、右側の出力信号OUT、すなわち、イネーブル信号 $\phi N$ が低レベル“L”の時には、出力信号OUTは常に低レベル“L”になるので、この低レベル“L”の信号が左側の1ビット分のディレイ回路のNANDゲートおよびインバータに順次伝達され、最終的な出力信号として取り出される。

【0036】このように、活性化された1ビット分のディレイ回路を介して、入力信号INは折り返されるように信号伝達され、最終的な出力信号になる。つまり、どの部分のイネーブル信号 $\phi E$ を高レベル“H”にするかにより、ディレイ量を制御することができる。1ビット分のディレイ量は、NANDゲートとインバータの合計の信号伝搬時間で決定され、この時間がDLL回路のディレイ単位時間になり、そして、全体のディレイ時間は、1ビット分のディレイ量に通過する段数を乗じた量になる。

【0037】図7は本発明の半導体集積回路における遅延制御回路(制御部)の一構成例を説明するための図である。図7に示されるように、ディレイ制御回路も点線で囲った1ビット分のディレイ制御回路430-2をディレイ回路の段数分接続した構成になっており、各段の出力がディレイ回路の各段のイネーブル信号 $\phi E$ になる。

【0038】具体的に、1ビット分のディレイ制御回路

430-2は、NANDゲート432-2と、インバータ433-2で構成されるフリップフロップの両端にそれぞれ直列に接続されたトランジスタ435-2、437-2、438-2、439-2、および、NORゲート431-2を有している。トランジスタ438-2のゲートは、前段の1ビット分のディレイ制御回路のノード5a-2に、トランジスタ439-2のゲートは、後段の1ビット分のディレイ制御回路のノード5a-5に接続されて、前段と後段の信号を受けるようになっている。一方、直列接続されている他方のトランジスタには、カウントアップする時のセット信号 $\phi SE$ および $\phi SO$ と、カウントダウンする時のリセット信号 $\phi RE$ および $\phi RO$ が1ビット置きの回路に接続されている。

【0039】図7に示されるように、中央の1ビット分のディレイ制御回路430-2では、トランジスタ435-2のゲートにセット信号 $\phi SO$ が供給され、トランジスタ437-2にリセット信号 $\phi RO$ が供給され、また、ディレイ制御回路430-2の前段および後段の両側の回路の各対応するトランジスタのゲートにはそれぞれセット信号 $\phi SE$ およびリセット信号 $\phi RE$ が供給されている。また、NORゲート431-2には、左側の(前段の)回路のノード5a-1と回路430-2のノード5a-4の信号が入力される構成になっている。なお、 $\phi R$ はディレイ制御回路をリセットする信号で、電源投入後に一時的に低レベル“L”レベルになり、その後は高レベル“H”に固定される。

【0040】図8は図7の遅延制御回路の動作を説明するためのタイミング図である。図8に示されるように、まず、リセット信号 $\phi R$ が一時的に低レベル“L”になり、ノード5a-1、5a-3、5a-5が高レベル“H”、また、5a-2、5a-4、5a-6が低レベル“L”にリセットされる。そして、カウントアップする時には、カウントアップ信号(セット信号) $\phi SE$ および $\phi SO$ が交互に高レベル“H”と低レベル“L”を繰り返す。

【0041】セット信号 $\phi SE$ が低レベル“L”から高レベル“H”になると、ノード5a-1は接地されて低レベル“L”になり、また、ノード5a-2は高レベル“H”に変化する。ノード5a-2が高レベル“H”に変化したのを受けて、出力信号(イネーブル信号) $\phi E-1$ は高レベル“H”から低レベル“L”に変化する。この状態はフリップフロップにラッチされるので、セット信号 $\phi SE$ が低レベル“L”に戻ったとしても、イネーブル信号 $\phi E-1$ は低レベル“L”のままである。そして、ノード5a-1が低レベル“L”に変化したことを受けて、イネーブル信号(出力信号) $\phi E-2$ が低レベル“L”から高レベル“H”に変化する。ノード5a-2が高レベル“H”に変化したのでトランジスタ438-2はオン状態になり、セット信号 $\phi SO$ が低レベル“L”から高レベル“H”になると、ノード5a-3は

10

20

30

40

50

接地されて低レベル“L”に、また、ノード5a-4は高レベル“H”に変化する。さらに、ノード5a-4が高レベル“H”に変化したのを受けて、イネーブル信号φE-2は高レベル“H”から低レベル“L”に変化する。この状態はフリップフロップにラッチされるので、セット信号φSOが低レベル“L”に戻ったとしても、イネーブル信号φE-2は低レベル“L”のままである。

【0042】そして、ノード5a-3が低レベル“L”に変化したのを受けて、イネーブル信号φE-3が低レベル“L”から高レベル“H”に変化する。図8では、セット信号φSEおよびφSOが1パルスずつ出ているだけであるが、ディレイ制御回路が何段にも接続されており、セット信号φSEおよびφSOが交互に高レベル“H”と低レベル“L”を繰り返せば、出力信号（イネーブル信号）φEが高レベル“H”になる段の位置が順次右側にシフトする。従って、位相比較回路3の比較結果によりディレイ量を増加させる必要がある場合には、交互にセット信号φSEおよびφSOのパルスを入力すればよい。

【0043】カウントアップ信号（セット信号）φSEおよびφSOと、カウントダウン信号（リセット信号）φREおよびφROとが出力されない状態、すなわち低レベル“L”である状態が維持されれば、イネーブル信号φEは高レベル“H”になる段の位置は固定される。従って、位相比較回路3の比較結果によりディレイ量を維持する必要がある場合には、信号φSE、φSO、φREおよびφROのパルスを入力しないようにする。

【0044】カウントダウンする時には、リセット信号φREおよびφROのパルスを交互に入力すると、カウントアップ時と逆に出力φEが高レベル“H”になる段の位置が順次左側にシフトする。以上説明したように、図7に示したディレイ制御回路では、パルスを入力することにより、イネーブル信号φEが高レベル“H”になる段の位置を1つずつ移動させることが可能であり、これらのイネーブル信号φEで図6(c)に示したディレイ回路を制御すればディレイ量を1単位ずつ制御することができる。なお、図7に示すディレイ制御回路（制御部）は、図4および図5では、位相比較回路3に含めて描かれている。

【0045】図9は本発明の半導体集積回路における位相比較回路（位相比較部）の一構成例を説明するための図であり、図10は図9の位相比較回路の動作を説明するためのタイミング図である。位相比較回路（3）は、図9に示す位相比較部と後述する図11に示す増幅回路部の2つの回路部分で構成されている。

【0046】図9において、参照符号φoutおよびφextは、この位相比較回路で比較する出力信号と外部クロック信号を示し、信号φextを基準として信号φoutの位相が判定され、また、φa～φeは増幅回路

に接続される出力信号を示している。図9に示されるように、位相比較回路3の位相比較部は、2個のNANDゲートで構成されたフリップフロップ回路421並びに422、その状態をラッチするラッチ回路425並びに426、ラッチ回路の活性化信号を生成する回路424、および、外部クロック信号φextの位相許容値を得る1ディレイ分のディレイ回路423を備えて構成されている。

【0047】図10(a)は比較対象信号φoutが比較基準信号φextよりも位相が進んでいる場合、すなわち、信号φoutが信号φextより先に低レベル“L”から高レベル“H”になる場合を示している。信号φoutと信号φextと共に低レベル“L”の時には、フリップフロップ回路421および422のノード6a-2、6a-3、6a-4、6a-5は全て高レベル“H”になっている。信号φoutが低レベル“L”から高レベル“H”に変化すると、ノード6a-2および6a-4は共に高レベル“H”から低レベル“L”に変化する。その後、信号φextが低レベル“L”から高レベル“H”になり、また、1ディレイ分遅れてノード6a-1が低レベル“L”から高レベル“H”になるが、フリップフロップの両端の電位はすでに確定しているので、何ら変化は生じない。結局、ノード6a-2は低レベル“L”、ノード6a-3は高レベル“H”、ノード6a-4は低レベル“L”、そして、ノード6a-5は高レベル“H”を維持する。

【0048】一方、信号φextが低レベル“L”から高レベル“H”に変化したのに応じて、回路424の出力信号φaは低レベル“L”から高レベル“H”に変化し、ノード6a-6には、一時的に高レベル“H”レベルになるパルスが印加される。このノード6a-6はラッチ回路425および426のNANDゲートの入力となっているので、該NANDゲートが一時的に活性化されて、フリップフロップ回路421および422の両端の電位状態をラッチ回路425および426に取り込むことになる。最終的には、出力信号φbが高レベル“H”、出力信号φcが低レベル“L”、出力信号φdが高レベル“H”、そして、出力信号φeが低レベル“L”になる。

【0049】次に、図10(b)は比較対象信号φoutと比較基準信号φextの位相がほぼ同じで、信号φoutが信号φextとほぼ同時に低レベル“L”から高レベル“H”になる場合を示している。信号φoutの立ち上がり時点とノード6a-1の立ち上がり時点との時間差内に、信号φoutが低レベル“L”から高レベル“H”に変化した時、まず、信号φextが低レベル“L”から高レベル“H”になることによってフリップフロップ421のノード6a-3が低レベル“L”から高レベル“H”に変化する。フリップフロップ422では、ノード6a-1が低レベル“L”のままなので、

逆に、ノード6a-4が高レベル“H”から低レベル“L”に変化する。その後、ノード6a-1が高レベル“H”から低レベル“L”に変化するが、フリップフロップ422の状態はすでに決まっているので、何ら変化は生じない。その後、ノード6a-6が一時的に高レベル“H”になるので、ラッチ回路にはこの状態が記憶され、結局、出力信号φbが低レベル“L”、出力信号φcが高レベル“H”、出力信号φdが高レベル“H”、そして、出力信号φeが低レベル“L”になる。

【0050】更に、(c)は比較対象信号φoutが比較基準信号φextよりも位相が遅れており、φoutがφextより後に低レベル“L”から高レベル“H”になる場合を示している。この場合は、φextによって2個のフリップフロップ回路421と422に変化が生じて、6a-3と6a-5が高レベル“H”から低レベル“L”に変化する。そして、最終的には、φbが低レベル“L”、φcが高レベル“H”、φdが低レベル“L”、φeが高レベル“H”になる。

【0051】このように、信号(比較基準信号)φextの立ち上がり時間を基準として、信号(比較対象信号)φoutの立ち上がり時間がそれ以前に高レベル“H”になったか、ほぼ同時であったか、或いは、遅れて高レベル“H”になったかを検出することが可能になる。これらの検出結果を出力信号φb、φc、φd、および、φeの値としてラッチしておき、その値に基づいてディレイ制御回路をカウントアップするか、カウントダウンするかを決めることになる。

【0052】図11は本発明の半導体集積回路における位相比較回路(増幅回路部)の一構成例を説明するための図であり、図12は図11の位相比較回路におけるJKフリップフロップの動作を説明するためのタイミング図である。図11に示されるように、位相比較回路3の増幅回路部は、JKフリップフロップ427と、NANDゲートおよびインバータで構成される増幅部428との2つの部分を備えて構成されている。JKフリップフロップ427には、図9の位相比較部からの出力信号φaが入力され、信号φaが低レベル“L”であるか高レベル“H”であるかに応じてノード7a-9および7a-11の電位が交互に低レベル“L”と高レベル“H”を繰り返す仕組みになっている。増幅部428は、JKフリップフロップ427の出力信号と、信号φbおよびφdの信号を受けて増幅して出力する。

【0053】まず、JKフリップフロップ427の動作を図12のタイミングチャートを参照して説明する。時間T1で、信号φaが高レベル“H”から低レベル“L”に変化すると、ノード7a-1および7a-10が低レベル“L”から高レベル“H”に変化する。一方、ノード7a-1の変化に応じて、ノード7a-5、7a-6および7a-7が変化するが、信号φaが低レベル“L”であるために、ノード7a-8は変化しな

い。結局、出力(ノード)7a-9は変化せず、出力7a-11のみが低レベル“L”から高レベル“H”になる。次に、時間T2になって、φaが低レベル“L”から高レベル“H”に変化すると、時間T1での動きと逆にノード7a-8は高レベル“H”から低レベル“L”に、7a-10は7a-7が変化しないので変化せず、出力7a-9は低レベル“L”から高レベル“H”に変化し、出力7a-11は変化しない。このように、JKフリップフロップ回路427は、信号φaの動きに応じて出力7a-9および7a-11が交互に高レベル“H”と低レベル“L”を繰り返す動きをする。

【0054】図13は図11の位相比較回路における増幅回路部の動作を説明するためのタイミング図(カウントアップ時)であり、図14は図11の位相比較回路における増幅回路部の動作を説明するためのタイミング図(カウント維持時)であり、そして、図15は図11の位相比較回路における増幅回路部の動作を説明するためのタイミング図(カウントダウン時)である。次に、増幅部428の動作を、図13～図15を参照して説明する。

【0055】図13は、比較基準信号φextの立ち上がりに対して、比較対象信号φoutが先に低レベル“L”から高レベル“H”になる場合を示している。この場合の位相比較部からの入力信号は、信号φbが高レベル“H”、信号φcが低レベル“L”、信号φdが高レベル“H”、そして、信号φeが低レベル“L”である。結局、ノード7a-12が高レベル“H”になり、ノード7a-13が低レベル“L”に固定され、セット信号φSOおよびφSEはJKフリップフロップの状態に応じて変化するが、リセット信号φROおよびφREは7a-13が低レベル“L”のために変化しない。

【0056】図14は、比較対象信号φoutが比較基準信号φextとほぼ同時に低レベル“L”から高レベル“H”になる場合を示している。この場合の位相比較部からの入力信号は、信号φbが低レベル“L”、信号φcが高レベル“H”、信号φdが高レベル“H”、そして、信号φeが低レベル“L”である。結局、ノード7a-12および7a-13が低レベル“L”に固定され、リセット信号φSOおよびφSEはJKフリップフロップの出力が増幅部に影響することではなく、信号φSO、φSE、φROおよびφREは低レベル“L”に固定されたままになる。

【0057】図15は、比較対象信号φoutが比較基準信号φextの立ち上がりに対して遅れて低レベル“L”から高レベル“H”になる場合を示している。この場合の位相比較部からの入力信号は、信号φbが低レベル“L”、信号φcが高レベル“H”、信号φdが低レベル“L”、そして、信号φeが高レベル“H”である。結局、ノード7a-12が低レベル“L”に固定され、ノード7a-13が高レベル“H”に固定され、リ

セット信号φROおよびφREはJKフリップフロップの状態に応じて変化するが、セット信号φSOおよびφSEはノード7a-13が低レベル“L”のために変化しない。

【0058】図16は本発明に係る半導体集積回路が適用される一例としてのシンクロナスDRAMの構成を示す図であり、図17は図16のシンクロナスDRAMの動作を説明するためのタイミング図である。本発明が適用される半導体集積回路の一例としてのシンクロナスDRAM (SDRAM) は、例えば、バイブライン方式が採用され、16M・2バンク・8ビット幅のものとして構成されている。

【0059】図16に示されるように、SDRAMは、汎用DRAMのDRAMコア108a、108bの他に、クロックバッファ101、コマンドデコーダ102、アドレスバッファ/レジスタ&バンクアドレスセレクト (アドレスバッファ) 103、1/Oデータバッファ/レジスタ104、制御信号ラッチ105a、105b、モードレジスタ106、コラムアドレスカウンタ107a、107bを備えている。ここで、/CS、/RAS、/CAS、/WE端子は、従来の動作とは異なり、その組み合わせで各種コマンドを入力することによって動作モードが決定されるようになっている。各種コマンドは、コマンドデコーダで解釈されて、動作モードに応じて各回路を制御することになる。また、/CS、/RAS、/CAS、/WE信号は、制御信号ラッチ105aと105bにも入力されて次のコマンドが入力されるまで、その状態がラッチされる。

【0060】アドレス信号は、アドレスバッファ103で増幅されて各バンクのロードアドレスとして使用される他、コラムアドレスカウンタ107aおよび107bの初期値として使用される。クロックバッファ101は、内部クロック生成回路121および出力タイミング制御回路122を備えている。内部クロック生成回路121は、外部クロックCLKから通常の内部クロック信号を生成するものであり、また、出力タイミング制御回路122は、前述したようなDLLを適用して正確な遅延制御 (位相制御) を行ったクロック信号を発生するためのものである。

【0061】1/Oデータバッファ/レジスタ104は、データ入力バッファ13およびデータ出力バッファ5 (出力回路50~57) を備え、DRAMコア108aおよび108bから読み出された信号は、データ出力バッファ5により所定のレベルに増幅され、出力タイミング制御回路122からのクロック信号に従ったタイミングでデータがバッドDQ0~DQ7を介して出力される。また、入力データに関しても、バッドDQ0~DQ7から入力されたデータは、データ入力バッファ13を介して取り込まれる。ここで、本発明の半導体集積回路が対象としているリアル配線 (RL) は、この出力タイ

ミング制御回路122から各データ出力バッファ5までの配線に対応している。

【0062】上記のSDRAMの読み取り動作を図17を参照して説明する。まず、外部クロックCLKは、このSDRAMが使用されるシステムから供給される信号であり、このCLKの立ち上がり同期して、各種コマンド、アドレス信号、入力データを取込み、又は出力データを出力するように動作する。SDRAMからデータを読み出す場合、コマンド信号 (/CS、/RAS、/CAS、/WE信号) の組み合わせからアクティブ (ACT) コマンドをコマンド端子に入力し、アドレス端子にはローアドレス信号を入力する。このコマンド、ローアドレスが入力されると、SDRAMは活性状態になり、ローアドレスに応じたワード線を選択して、ワード線上のセル情報をビット線に出力し、センスアンプで増幅する。

【0063】さらに、ローアドレスに関係した部分の動作時間 (tRCD) 後に、リードコマンド (Read) とコラムアドレスを入力する。コラムアドレスに従って、選択されたセンスアンプデータをデータバス線に出力し、データバスアンプで増幅し、出力バッファでさらに増幅して出力端子 (DQ) にデータが出力される。これら一連の動作は汎用DRAMとまったく同じ動作であるが、SDRAMの場合、コラムアドレスに関する回路がバイブライン動作するようになっており、リードデータは毎サイクル連続して出力されることになる。これにより、データ転送速度は外部クロックの周期になる。

【0064】SDRAMでのアクセス時間には3種類あり、いずれもCLKの立ち上がり時点を基準にして定義される。図17において、tRACはローアドレスアクセス時間、tCACはコラムアドレスアクセス時間、tACはクロックアクセス時間を示している。このSDRAMを高速メモリシステムで使用する場合、コマンドを入力してから最初にデータが得られるまでの時間であるtRACやtCACも重要であるが、図3で説明したように、クロックアクセス時間tACも重要なものである。

【0065】図18は図16のシンクロナスDRAMの要部構成を概略的に示すブロック図であり、SDRAMにおけるバイブライン動作を説明するためのもので、一例としてバイブが3段設けられている場合を示している。SDRAMでのコラムアドレスに関する処理回路は、処理の流れに沿って複数段に分割されており、分割された各段の回路をバイブと呼んでいる。

【0066】クロックバッファ101は、図16を参照して説明したように、内部クロック生成回路121および出力タイミング制御回路122を備え、内部クロック生成回路121の出力 (通常の内部クロック信号) がバイブ-1およびバイブ-2に供給され、出力タイミング制御回路122の出力 (位相制御された内部クロック信

10

20

30

40

50

号)がパイプ-3の出力回路5(データ出力バッファ:50~57)に供給されるようになっている。

【0067】各パイプは供給された内部クロック信号に従って制御され、各パイプの間には、パイプ間の信号の伝達タイミングを制御するスイッチが設けられており、これらのスイッチも、クロックバッファ101(内部クロック生成回路121)で生成された内部クロック信号により制御される。図18に示す例では、パイプ-1において、コラムアドレスバッファ116でアドレス信号を増幅してコラムデコーダ118にアドレス信号を送り、コラムデコーダ118で選択されたアドレス番地に相当するセンスアンプ回路117の情報をデータバスに出力し、データバスの情報をデータバスアンプ119で増幅するまで行われる。また、パイプ-2にはデータバス制御回路120のみが設けられ、パイプ-3はI/Oバッファ104(出力回路5)で構成されている。なお、I/Oバッファ104におけるデータ入力バッファ13は図18では省略されている。

【0068】そして、各パイプ内の回路も、クロックサイクル時間内で動作完了するならば、パイプとパイプとの間にあるスイッチをクロック信号に同期して開閉することで、リレー式にデータを送り出す。これにより、各パイプでの処理が並行に行われることになり、出力端子にはクロック信号に同期して連続的にデータが出力されることになる。

【0069】図19は本発明に係る半導体集積回路における出力回路(データ出力バッファ回路:5、50~57)の一構成例を説明するための図である。図18および図19に示されるように、図19におけるData1およびData2は、セルアレイ115から読み出され、センスアンプ117とデータバスアンプ119とデータバス制御回路120を介して出力された記憶データに対応する信号であり、Data1およびData2は、出力データが高レベル“H”の場合には共に低レベル“L”であり、出力データが低レベル“L”の場合には共に高レベル“H”である。なお、出力データが高レベル“H”でも低レベル“L”でもないハイインピーダンス状態(ハイゼット状態)をとることも可能であり、その場合にはデータバス制御回路120において、Data1が高レベル“H”に、Data2が低レベル“L”になるように変換される。信号φoeは、出力タイミング制御回路122(第1の遅延制御回路21)の出力信号(クロック信号)に対応するもので、出力回路5(50~57)のイネーブル信号として機能するものである。

【0070】クロック信号φoeが高レベル“H”になると、Data1とData2の情報がデータ出力パッド6(60~67)に現出するように動作する。例えば、データ出力パッド6に高レベル“H”を出力する場合を想定すると、クロック信号φoeが低レベル“L”

から高レベル“H”に変化し、ノード8a-1が低レベル“L”に、ノード8a-2が高レベル“H”になって、トランスファークラックがオンしてData1およびData2がノード8a-3および8a-6に伝達される。その結果、ノード8a-5が低レベル“L”に、ノード8a-8が高レベル“H”になると、出力用のPチャンネルトランジスタ81はオンとなり、また、Nチャンネルトランジスタ82はオフとなって、データ出力パッド6には高レベル“H”の出力が現れることになる。また、クロック信号φoeが低レベル“L”になると、トランスファークラックはオフして、それまでの出力状態が保持される。

【0071】以上の説明では、本発明の半導体集積回路をシンクロナスDRAMとして説明したが、本発明はシンクロナスDRAMに限らず、外部から入力される信号に同期して出力信号が出力される半導体集積回路であればどのようなものにも適用可能である。図20は本発明に係る半導体集積回路におけるダミーの内部出力クロック配線42(ダミー配線DL)の一構成例を説明するための図である。図20から明らかなように、ダミー配線DLは、例えば、チップ上に形成され、リアル配線(RL)と同じ線幅の配線により形成されている。なお、以下に説明する半導体集積回路モジュールにおけるダミーの内部出力クロック配線242および半導体集積回路システムにおけるダミーの内部出力クロック配線342に関しても、同様に、モジュール上或いは回路基板上にダミー用の配線を設けることになる。なお、このダミー配線の代わりに、所定の値を有する容量素子或いは抵抗素子等を組み合わせることも可能である。

【0072】図21は本発明を適用したメモリモジュール(SIMM: Single Inline Memory ModuleやDIMM: Dual Inline Memory Module)の一例を示す図であり、DLL回路を概略的に示すものである。図21において、参照符号201はクロックコネクタ部、また、250~253はメモリIC(対象回路)を示している。さらに、参照符号221は第1の遅延制御回路、222は第2の遅延制御回路、203は位相比較回路、241は内部出力クロック配線(リアル配線)、そして、242はダミーの内部出力クロック配線(ダミー配線)を示している。

【0073】図21に示されるように、クロック信号CLKは、クロックコネクタ部201を介して、第1の遅延制御回路221、第2の遅延制御回路222、および、位相比較回路203の一方の入力に供給されている。第1の遅延制御回路221の出力信号(クロック信号)は、例えば、図5に示す半導体集積回路と同様に、それぞれリアル配線(241)を介して各メモリIC250~253に供給されている。ここで、位相比較回路203の他方の入力には、ダミー配線242を介して第2の遅延制御回路222の出力(ダミーのクロック信

号)が供給され、位相比較回路203は、これら2つの入力信号の位相を比較して第1および第2の遅延制御回路221、222を制御するようになっている。なお、このDLL回路の詳細は、図面を参照して上述した通りである。

【0074】図21に示すメモリモジュール(半導体集積回路モジュール)は、図5の半導体集積回路における出力バッファ回路50~57(または、データ出力バッファ60~67)をメモリIC250~253に対応させたものに相当する。図21に示されるように、本実施例では、第1の遅延制御回路221の出力端から各メモリIC250~253(各メモリICのクロック入力バッファ)までの各リアル配線(241)の長さが等距離になるように規定している。すなわち、リアル配線(241)の長さ $RL35$ は $RL36$ と等しく( $RL35=RL36$ )、また、リアル配線(41)の長さ $RL31$ 、 $RL32$ 、 $RL33$ 、 $RL34$ は全て等しく( $RL31=RL32=RL33=RL34$ )なるように規定されている。

【0075】従って、メモリIC250までのリアル配線の長さは $RL37+RL35+RL31$ 、メモリIC251までのリアル配線の長さは $RL37+RL35+RL32$ 、メモリIC252までのリアル配線の長さは $RL37+RL36+RL33$ 、そして、メモリIC253までのリアル配線の長さは $RL37+RL36+RL34$ になり、 $RL35=RL36$ 、且つ、 $RL31=RL32=RL33=RL34$ であるため、第1の遅延制御回路221の出力端から各メモリIC250~253のクロック入力バッファまでの各リアル配線の長さが等距離になる。さらに、ダミー配線242の長さ $DL3$ を上記第1の遅延制御回路221の出力端から各メモリIC250~253のクロック入力バッファまでのリアル配線の長さ $RL37+RL35+RL31(=RL37+RL35+RL32=RL37+RL36+RL33=RL37+RL36+RL34)$ に一致させることにより、全てのメモリIC250~253における動作タイミングを同期させることができる。

【0076】図22は本発明を適用したメモリシステムの一例を示す図である。図22において、参照符号300はクロックジェネレータ、また、350~353はメモリモジュール(対象回路)を示している。さらに、参照符号321は第1の遅延制御回路、322は第2の遅延制御回路、303は位相比較回路、341は内部出力クロック配線(リアル配線)、そして、342はダミーの内部出力クロック配線(ダミー配線)を示している。

【0077】図22に示されるように、クロックジェネレータ300で発生されたクロック信号CLKは、第1の遅延制御回路321、第2の遅延制御回路322、および、位相比較回路303の一方の入力に供給されている。第1の遅延制御回路321の出力信号(クロック信

号)は、例えば、図21に示すメモリモジュールと同様に、それぞれリアル配線(341)を介して各メモリモジュール350~353に供給されている。ここで、位相比較回路303の他方の入力には、ダミー配線342を介して第2の遅延制御回路322の出力(ダミーのクロック信号)が供給され、位相比較回路303は、これら2つの入力信号の位相を比較して第1および第2の遅延制御回路321、322を制御するようになっている。なお、このDLL回路の詳細は図面を参照して上述した通りである。

【0078】図22に示すメモリシステム(半導体集積回路システム)は、図21のメモリモジュールにおけるメモリIC250~253をメモリモジュール350~353に対応させたものに相当する。図22に示されるように、本実施例では、第1の遅延制御回路321の出力端から各メモリモジュール350~353(各メモリモジュールのクロック入力端子)までの各リアル配線(341)の長さが等距離になるように規定している。すなわち、リアル配線(341)の長さ $RL45$ は $RL46$ と等しく( $RL45=RL46$ )、また、リアル配線(341)の長さ $RL41$ 、 $RL42$ 、 $RL43$ 、 $RL44$ は全て等しく( $RL41=RL42=RL43=RL44$ )なるように規定されている。

【0079】従って、メモリモジュール350までのリアル配線の長さは $RL47+RL45+RL41$ 、メモリモジュール351までのリアル配線の長さは $RL47+RL45+RL42$ 、メモリモジュール352までのリアル配線の長さは $RL47+RL46+RL43$ 、そして、メモリモジュール353までのリアル配線の長さは $RL47+RL46+RL44$ になり、 $RL45=RL46$ 、且つ、 $RL41=RL42=RL43=RL44$ であるため、第1の遅延制御回路221の出力端から各メモリIC250~253のクロック入力バッファまでの各リアル配線の長さが等距離になる。さらに、ダミー配線242の長さ $DL3$ を上記第1の遅延制御回路221の出力端から各メモリモジュール350~353のクロック入力端子までのリアル配線の長さ $RL47+RL45+RL41(=RL47+RL45+RL42=RL47+RL46+RL43=RL47+RL46+RL44)$ に一致させることにより、全てのメモリモジュール350~353における動作タイミングを同期させることができる。

【0080】なお、上述した図21および図22では、図5の半導体集積回路に対応した構成を示して説明したが、図4の半導体集積回路の構成をメモリモジュール、或いは、メモリシステムに適用することもできるのはいうまでもない。以上の説明では、メモリ(SDRAM)、メモリモジュール、および、メモリシステムを例として説明したが、本発明は、他の様々な半導体集積回路、半導体集積回路モジュール、および、半導体集積回

路システムに対しても幅広く適用することができる。さらに、上記各実施例では、制御信号としてクロック信号を例に取って説明したが、制御信号としてはクロック信号に限定されるものでないのはもちろんである。

【0081】

【発明の効果】以上、詳述したように、本発明の半導体集積回路によれば、対象とする複数の回路若しくはパッドが設けられた物理的な位置に関わらず、各回路若しくはパッドに対して位相同期した制御信号を供給することができる。さらに、本発明によれば、半導体集積回路モジュールおよび半導体集積回路システムに対しても、同様に位相同期した制御信号を供給することができる。

【図面の簡単な説明】

【図1】関連技術としての半導体集積回路の一例を概略的に示すブロック図である。

【図2】図1の半導体集積回路におけるクロック配線の様子を示すブロック図である。

【図3】図2の半導体集積回路における課題を説明するための図である。

【図4】本発明を適用した半導体集積回路の一実施例を示すブロック図である。

【図5】本発明を適用した半導体集積回路の他の実施例を示すブロック図である。

【図6】本発明の半導体集積回路における遅延制御回路（遅延部）の一構成例を説明するための図である。

【図7】本発明の半導体集積回路における遅延制御回路（制御部）の一構成例を説明するための図である。

【図8】図7の遅延制御回路の動作を説明するためのタイミング図である。

【図9】本発明の半導体集積回路における位相比較回路（位相比較部）の一構成例を説明するための図である。

【図10】図9の位相比較回路の動作を説明するためのタイミング図である。

【図11】本発明の半導体集積回路における位相比較回路（増幅回路部）の一構成例を説明するための図である。

【図12】図11の位相比較回路におけるJKフリップフロップの動作を説明するためのタイミング図である。

【図13】図11の位相比較回路における増幅回路部の動作を説明するためのタイミング図（カウントアップ時）である。

【図14】図11の位相比較回路における増幅回路部の動作を説明するためのタイミング図（カウント維持時）である。

【図15】図11の位相比較回路における増幅回路部の動作を説明するためのタイミング図（カウントダウン時）である。

【図16】本発明に係る半導体集積回路が適用される一例としてのシンクロナスDRAMの構成を示す図である。

【図17】図16のシンクロナスDRAMの動作を説明するためのタイミング図である。

【図18】図16のシンクロナスDRAMの要部構成を概略的に示すブロック図である。

【図19】本発明に係る半導体集積回路における出力回路（データ出力バッファ回路）の一構成例を説明するための図である。

【図20】本発明に係る半導体集積回路におけるダミーの内部出力クロック配線（ダミー配線）の一構成例を説明するための図である。

【図21】本発明を適用したメモリモジュールの一例を示す図である。

【図22】本発明を適用したメモリシステムの一例を示す図である。

【符号の説明】

1…クロック入力パッド

3…位相比較回路

5, 50~57…出力回路（出力バッファ回路）

6, 60~67…データ出力パッド

10…クロックバッファ回路

21, 221, 321…遅延制御回路

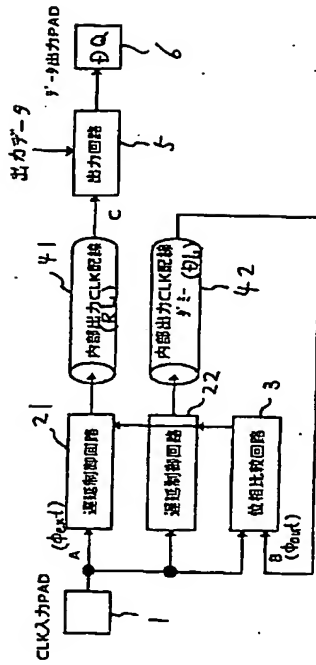
22, 222, 322…遅延制御回路

41, 241, 341…内部出力クロック配線（リアル配線）

42, 242, 342…ダミーの内部出力クロック配線（ダミー配線）

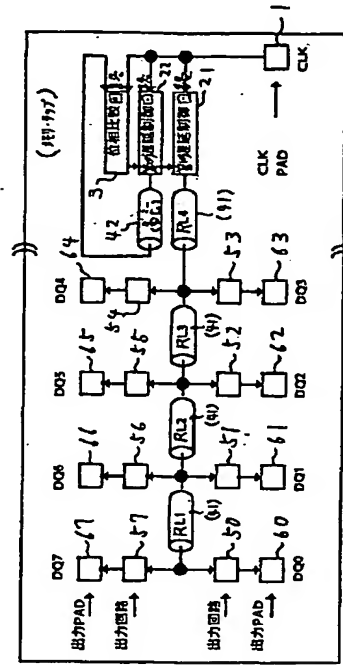
【図1】

図1は、半導体集積回路の一例を概念的に示すブロック図



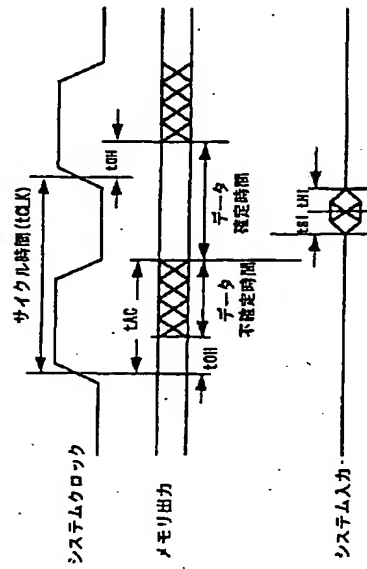
【図2】

図1の半導体集積回路におけるクロック配線の様子を示すブロック図



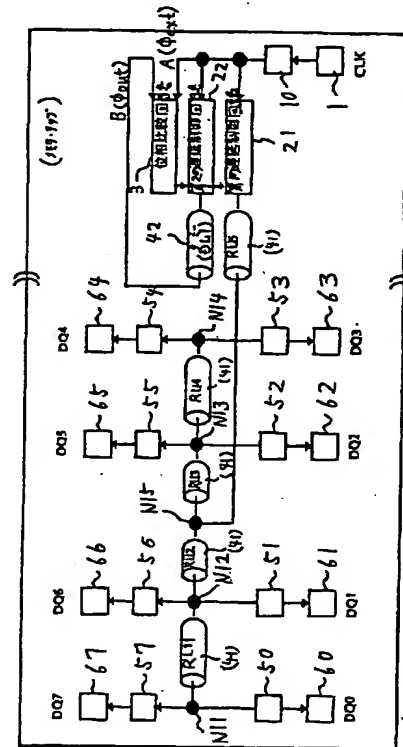
【図3】

図2の半導体装置回路における問題を説明するための図



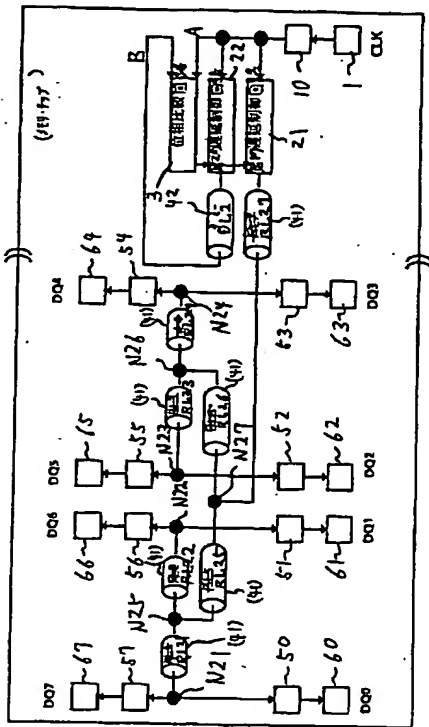
【図4】

本発明を適用した半導体装置回路の一例を示すブロック図



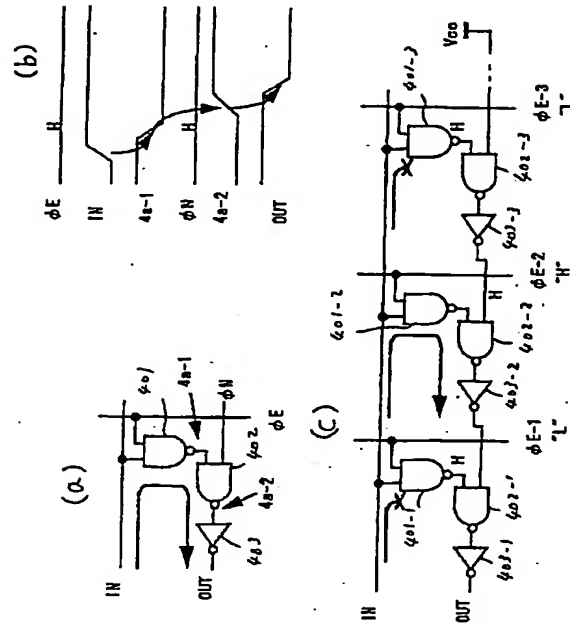
【図5】

本発明を適用した半導体装置回路の他の実施例を示すブロック図



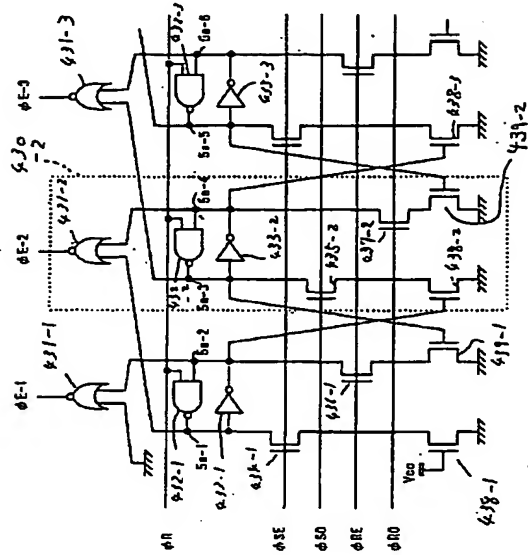
【図6】

本発明の半導体装置回路における遅延時間回路（遅延部）の一構成例を説明するための図



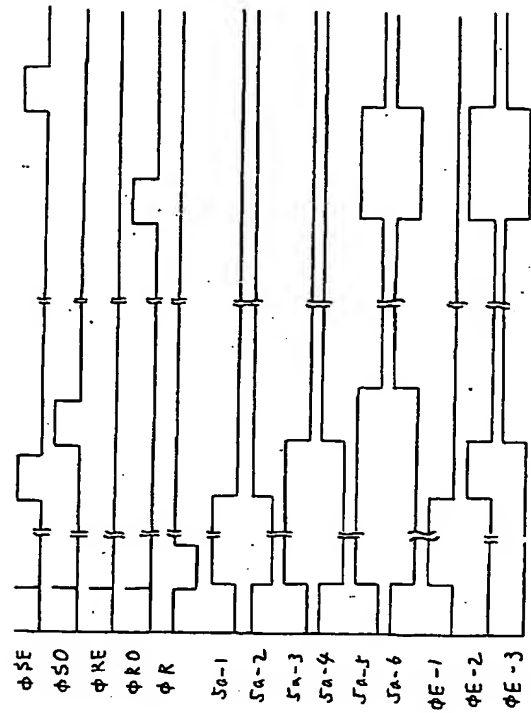
【図7】

本発明の半導体装置における遅延制御回路（制御部）の一例を示すための図



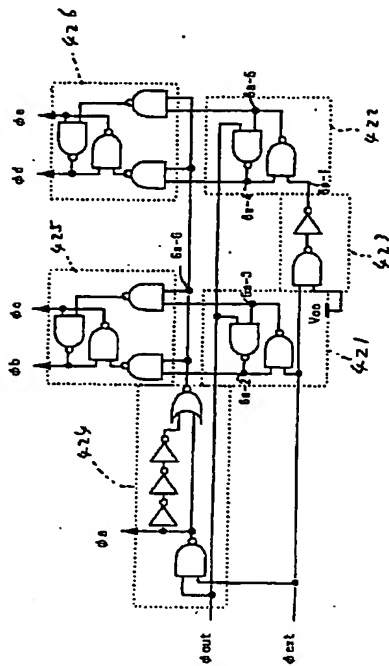
【図8】

図7の遅延制御回路の動作を説明するためのタイミング図



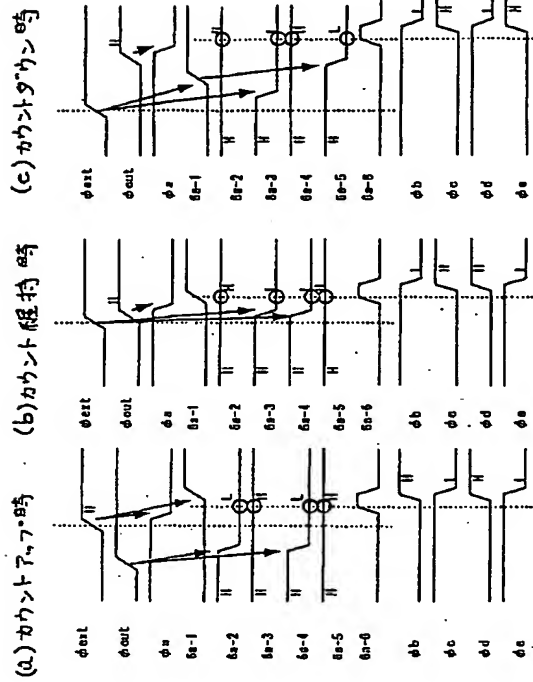
【図9】

本発明の半導体集積回路における位相比較回路（位相比較器）の一構成例を説明するための図



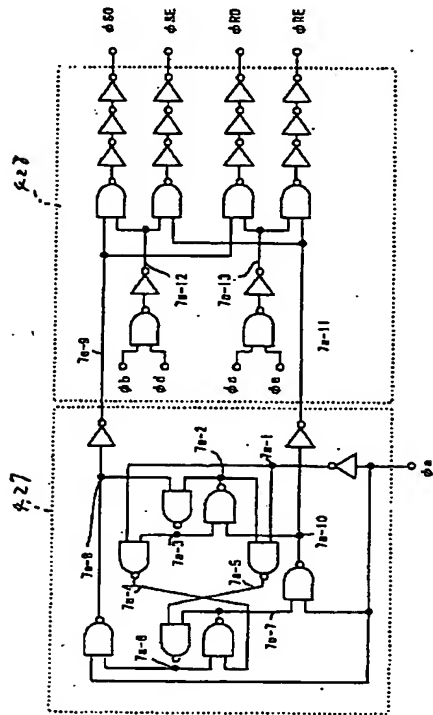
【図10】

図9の位相比較回路の動作を説明するためのタイミング図



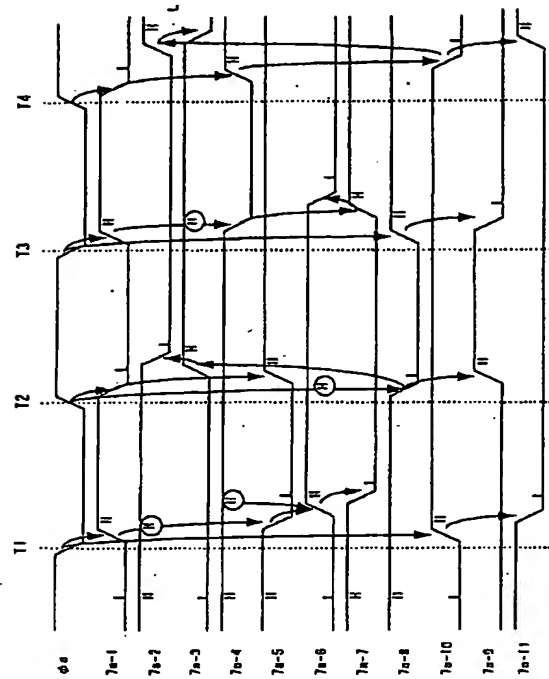
【図11】

本発明の半導体集積回路における位相比較回路（増幅回路部）の一構成例を説明するための図



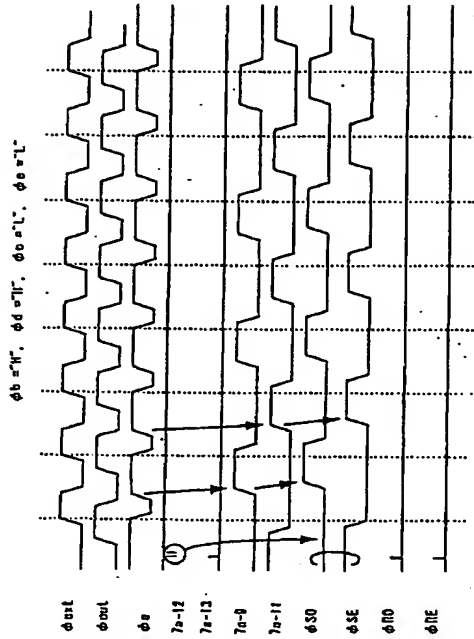
【図12】

図11の位相比較回路におけるJKフリップフロップの動作を説明するためのタイミング図



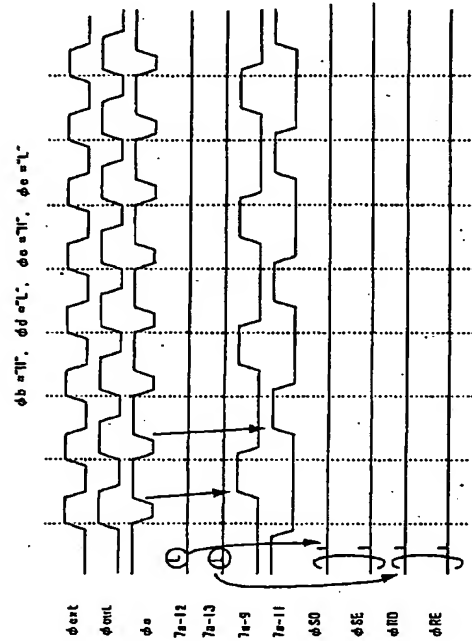
【図13】

図11の位相比較回路における増幅回路部の動作を説明するための  
タイミング図 (カウントアップ時)



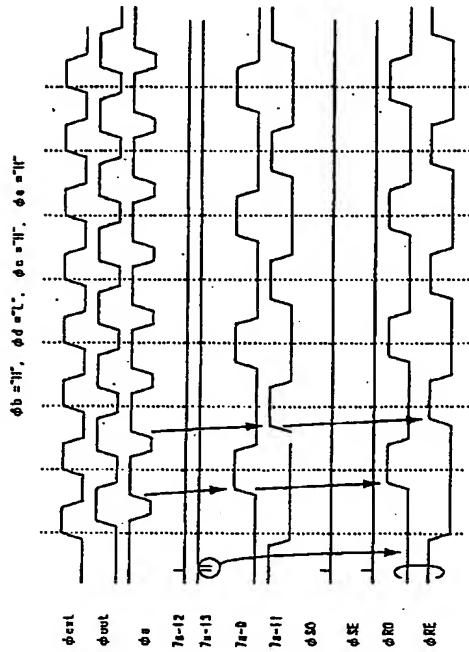
【図14】

図11の位相比較回路における増幅回路部の動作を説明するための  
タイミング図 (カウント維持時)



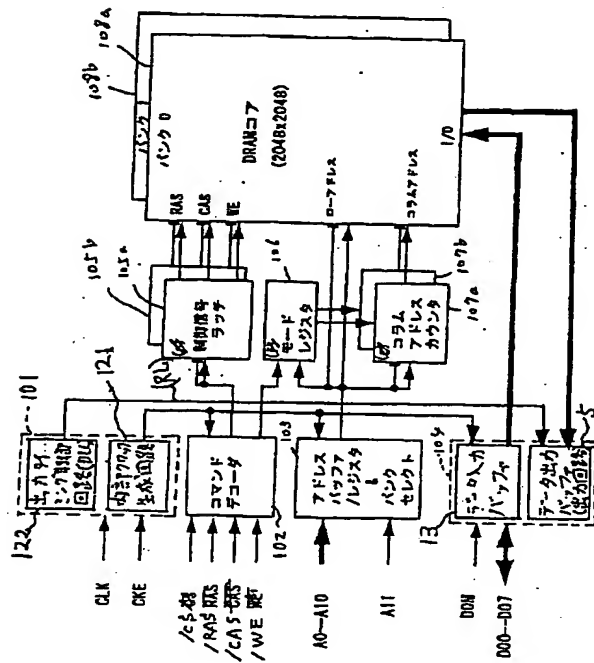
【図15】

図11の位相比較回路における増幅回路の動作を説明するためのタイミング図（カウントダウン時）



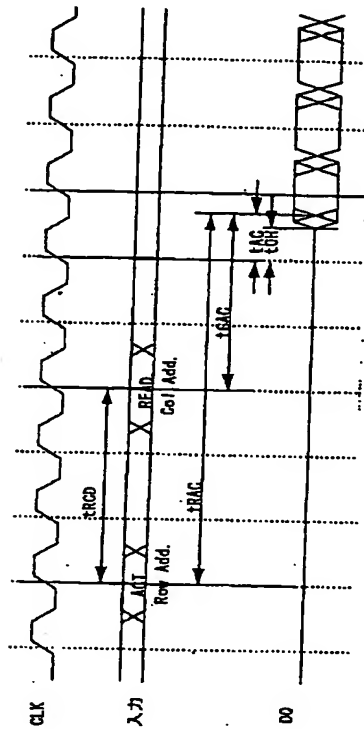
【図16】

本発明に係る半導体集積回路が適用される一例としてのシンクロナスDRAMの構成を示す図



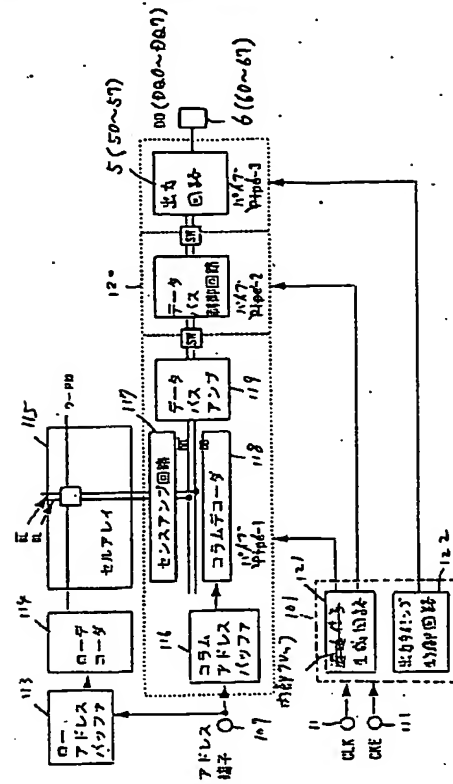
【図17】

図16のシンクロナスDRAMの動作を説明するためのタイミング図



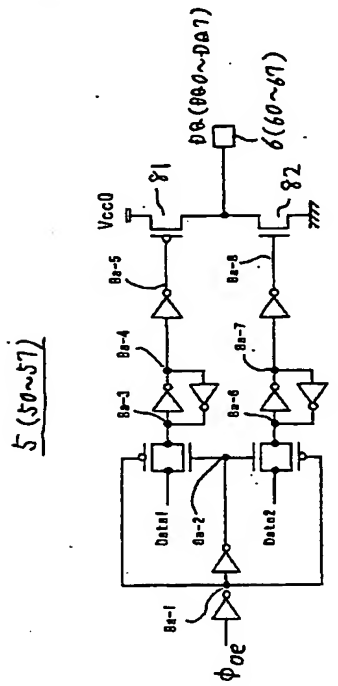
【図18】

図16のシンクロナスDRAMの主要構成を模式的に示すブロック図



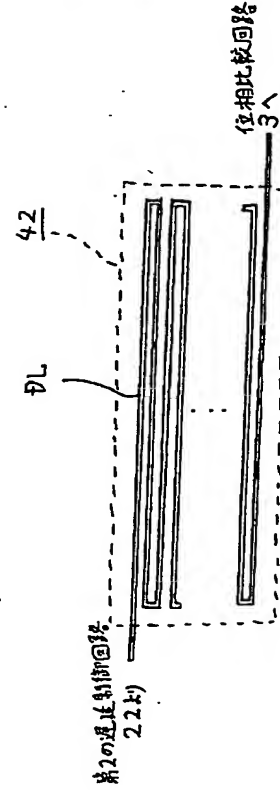
【図19】

本発明に係る半導体集積回路における出力回路（データ出力バッファ回路）の一構成例を説明するための図



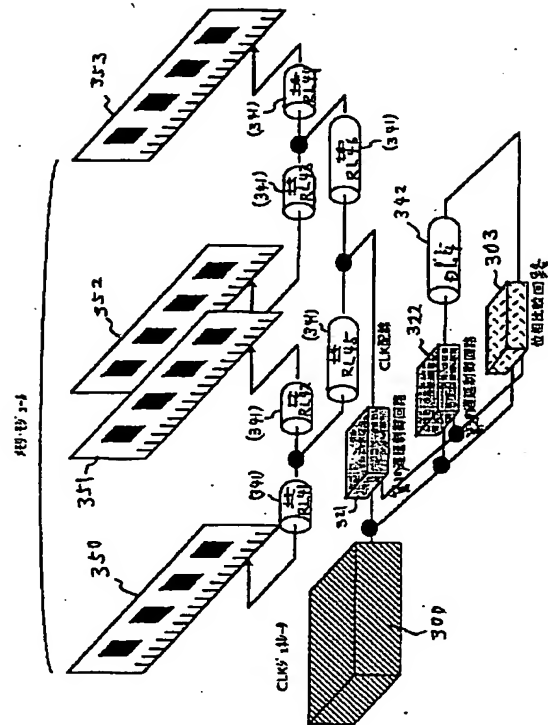
【図20】

本発明に係る半導体集積回路におけるダミーの内蔵出力クロック回路（ダミー回路）の一構成例を説明するための図



【圖22】

本発明を適用したメモリシステムの一例を示す図



\*【補正対象項目名】全図

【補正方法】変更

\* 【補正内容】

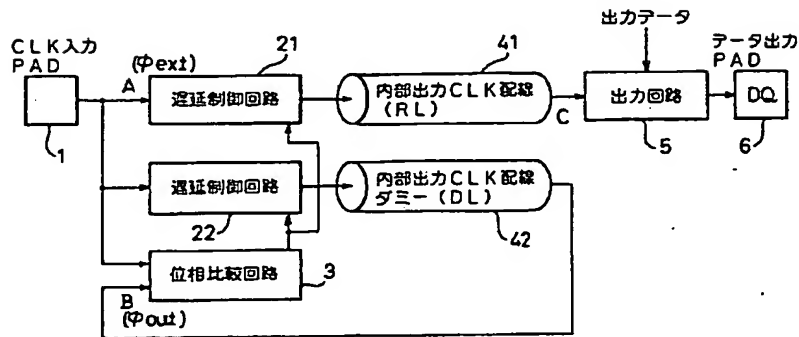
【圖 17】

The diagram shows the timing relationship between the clock (CLK), input signals (ACT, READ), and data output (DQ). Key timing parameters are indicated:

- $t_{RCD}$ : Row to Column Delay, from the start of the Row Address (ACT) to the start of the Column Address (READ).
- $t_{RAC}$ : Row Access Cycle, from the start of the Row Address (ACT) to the start of the data output (DQ).
- $t_{CAC}$ : Column Access Cycle, from the start of the Column Address (READ) to the start of the data output (DQ).
- $t_{OHI}$ : Output Hold Time, from the end of the data output (DQ) to the start of the next data output (DQ).

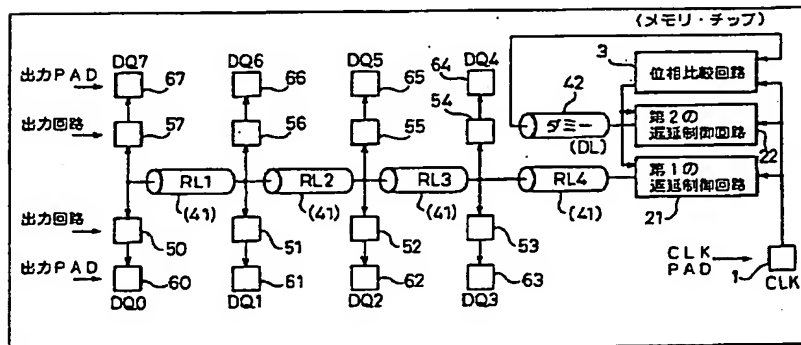
【図1】

配線技術としての半導体集積回路の一例を概略的に示すブロック図



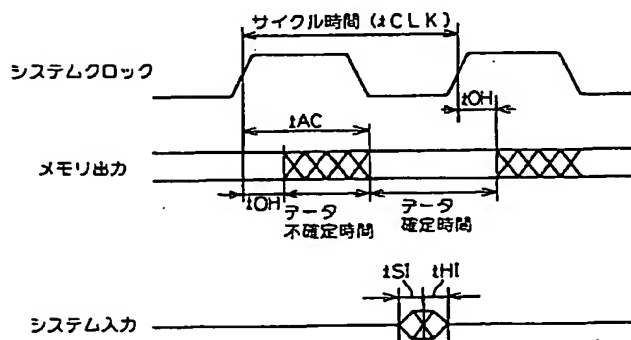
【図2】

図1の半導体集積回路におけるクロック配線の様子を示すブロック図



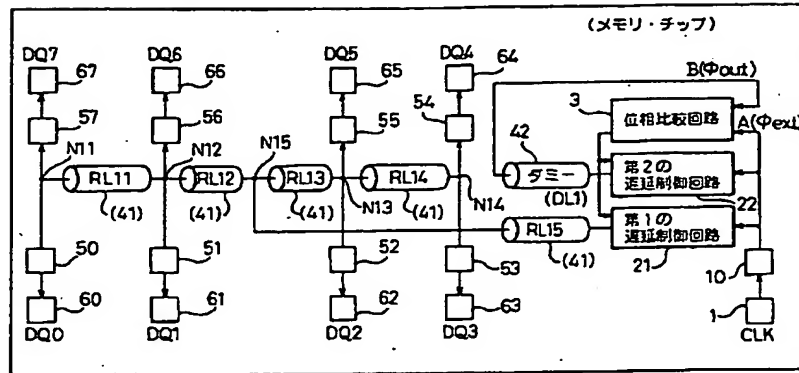
【図3】

図2の半導体集積回路における課題を説明するための図



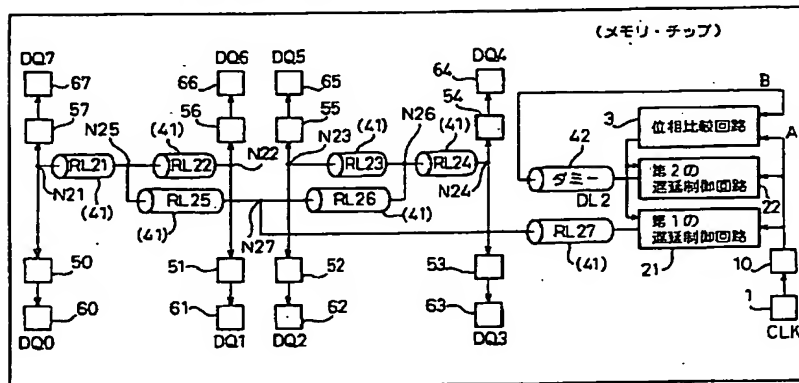
【図4】

本発明を適用した半導体装置回路の実施例を示すブロック図



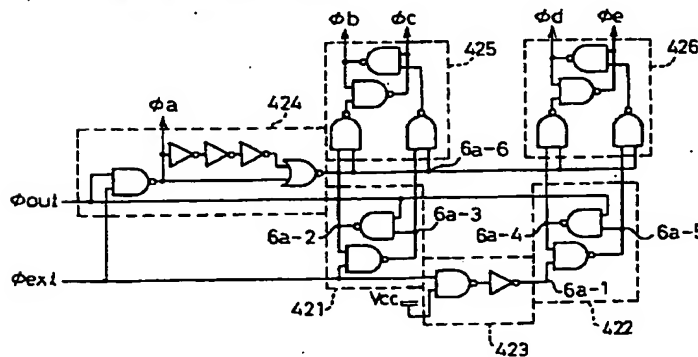
【図5】

本発明を適用した半導体装置回路の他の実施例を示すブロック図



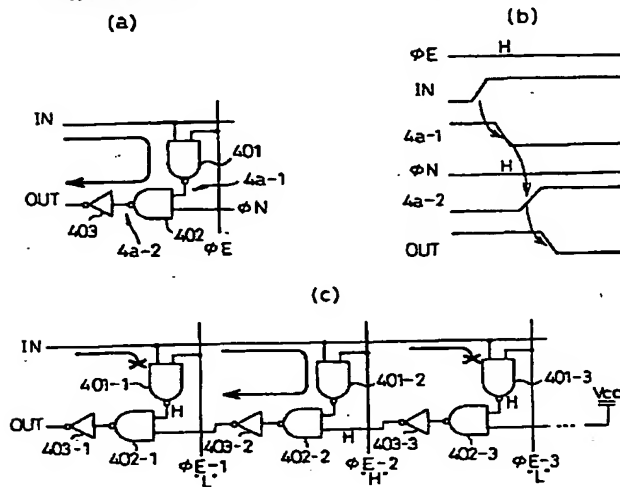
【図9】

本発明の半導体装置回路における位相比較回路（位相比較部）の一構成例を説明するための図



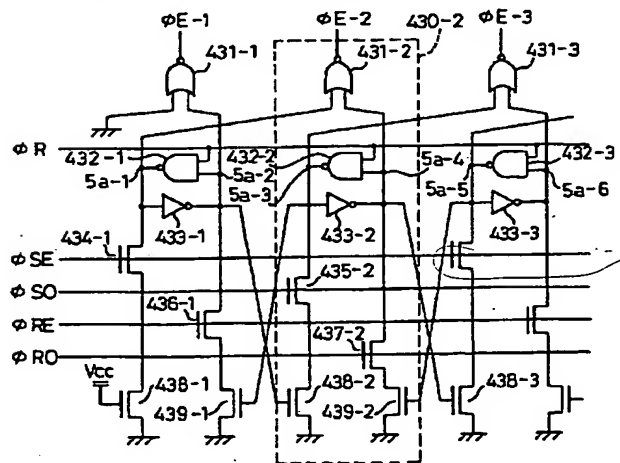
【図6】

本発明の半導体集積回路における遅延制御回路（遅延部）の一構成例を説明するための図



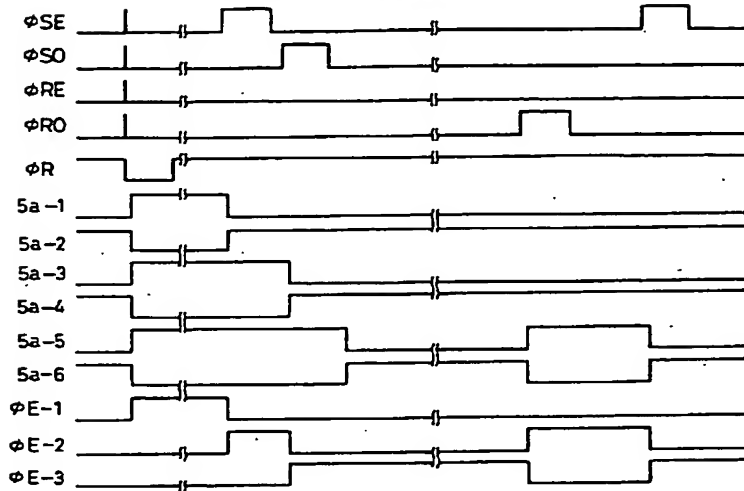
【図7】

本発明の半導体集積回路における遅延制御回路（制御部）の一構成例を説明するための図



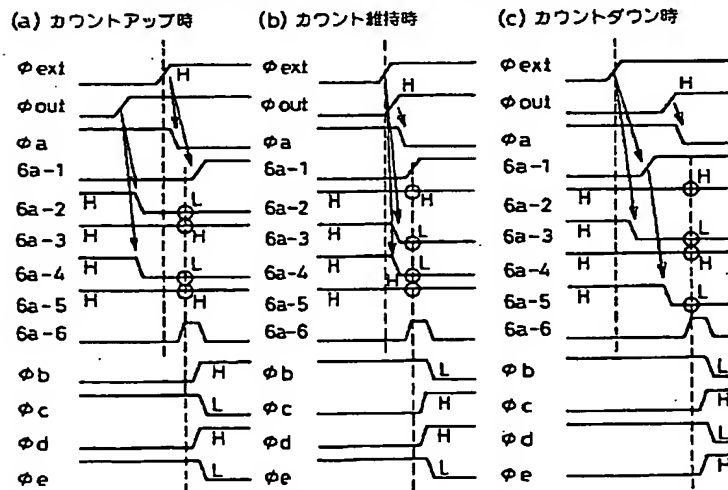
【図8】

図7の遅延制御回路の動作を説明するためのタイミング図



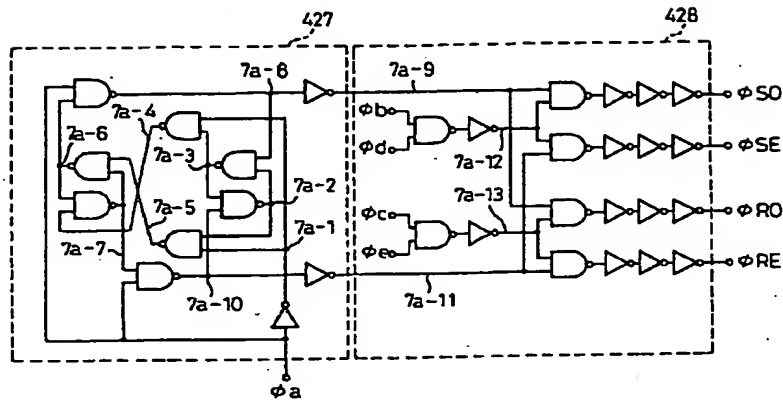
【図10】

図9の位相比較回路の動作を説明するためのタイミング図



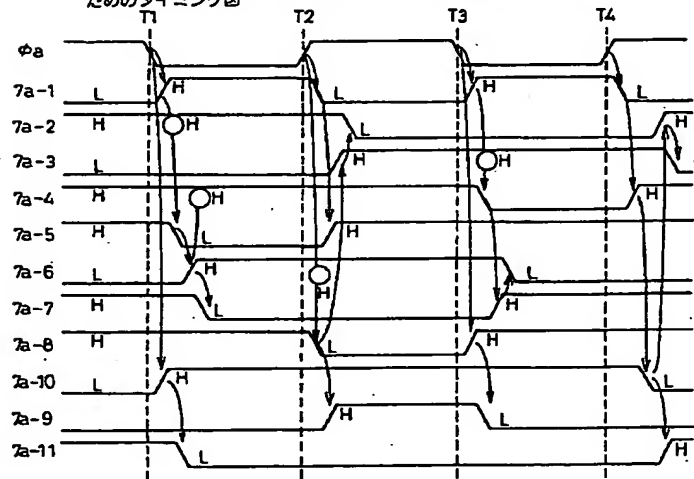
【図11】

本発明の半導体集積回路における位相比較回路（増幅回路部）の一構成例を説明するための図



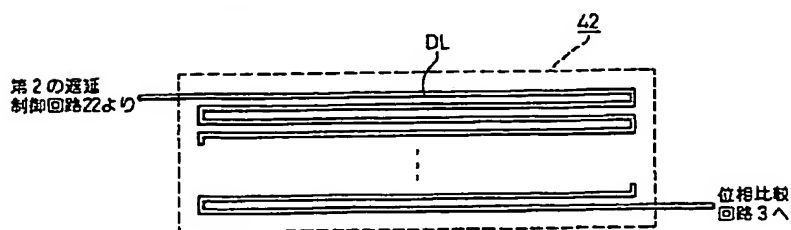
【図12】

図11の位相比較回路におけるJKフリップフロップの動作を説明するためのタイミング図



【図20】

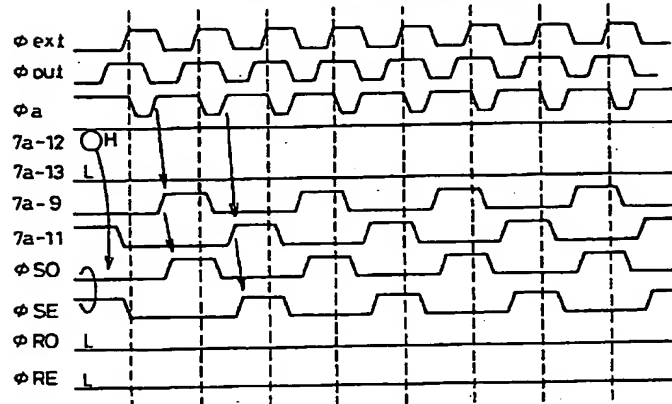
本発明に係る半導体集積回路におけるダミーの内部出力クロック配線（ダミー配線）の一構成例を説明するための図



【図13】

図11の位相比較回路における増幅回路部の動作を説明するための  
タイミング図（カウントアップ時）

$\phi b = 'H'$ ,  $\phi d = 'H'$ ,  $\phi c = 'L'$ ,  $\phi e = 'L'$



【図14】

図11の位相比較回路における増幅回路部の動作を説明するための  
タイミング図（カウント維持時）

$\phi b = 'H'$ ,  $\phi d = 'L'$ ,  $\phi c = 'H'$ ,  $\phi e = 'L'$

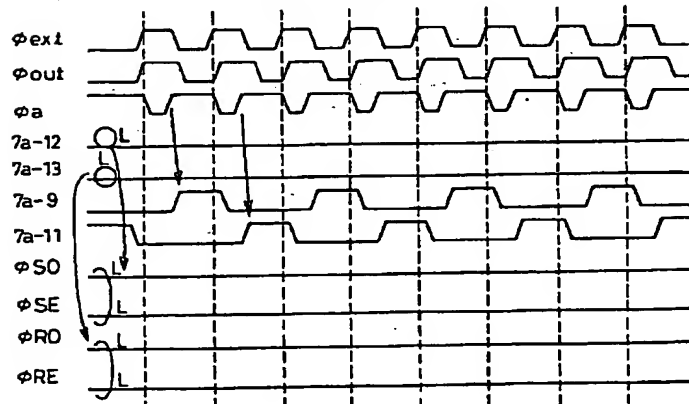
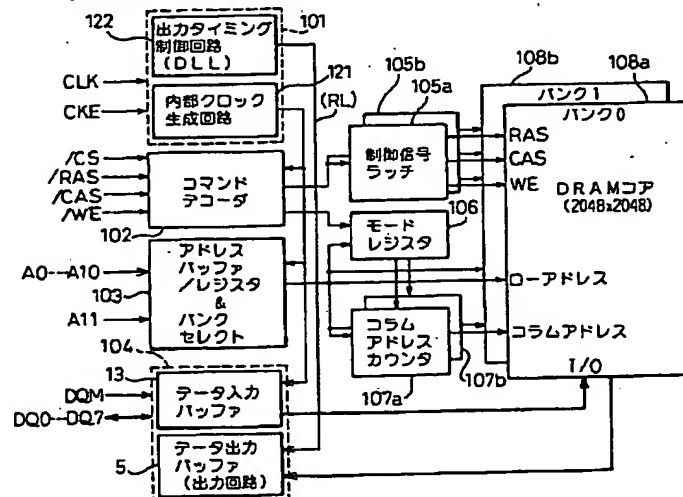
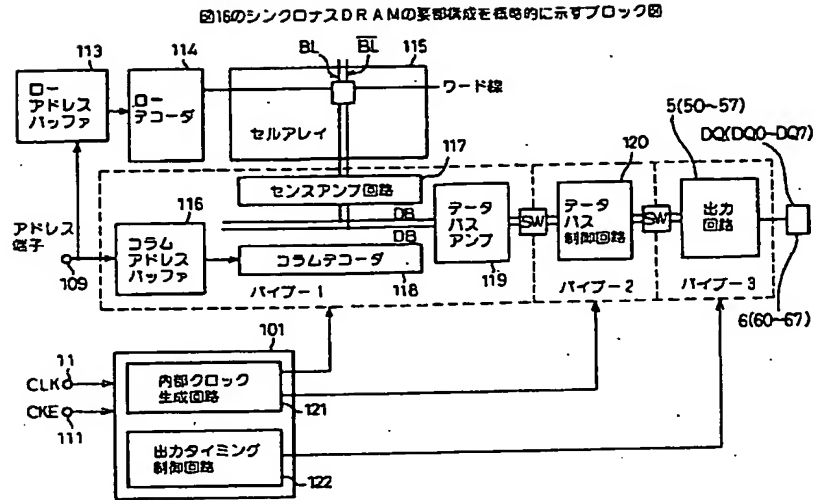


図11の位相比較回路における増幅回路部の動作を説明するための  
タイミング図(カウントダウン時)

本発明に係る半導体集積回路が適用される一例としてのシンクロナス  
DRAMの構成を示す図



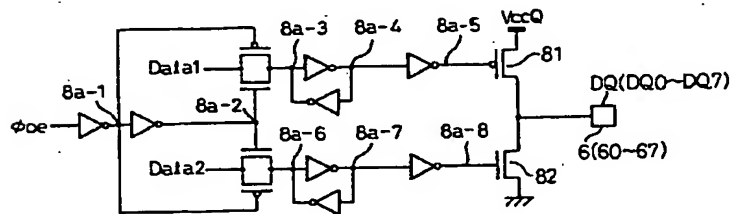
【図18】



【図19】

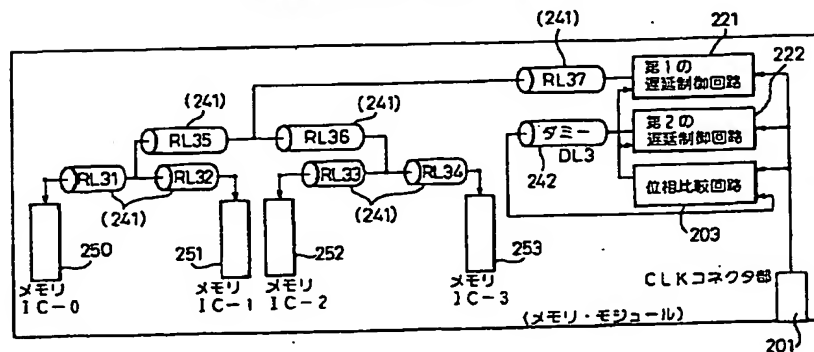
本発明に係る半導体集積回路における出力回路（データ出力バッファ回路）の一構成例を説明するための図

5(50~57)

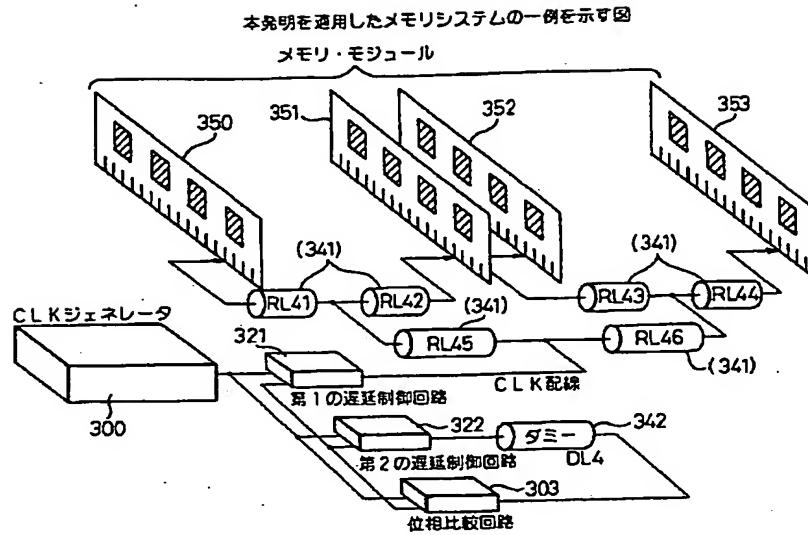


【図21】

本発明を適用したメモリモジュールの一例を示す図



【図22】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H01L 27/04

21/822

H03L 7/00

識別記号

片内整理番号

FI

H01L 21/82

27/04

技術表示箇所

W

D

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-055668

(43)Date of publication of application : 24.02.1998

(51)Int.Cl.

G11C 11/407  
 G06F 1/10  
 G06F 15/78  
 G11C 11/401  
 H01L 21/82  
 H01L 27/04  
 H01L 21/822  
 H03L 7/00

(21)Application number : 08-213880

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.08.1996

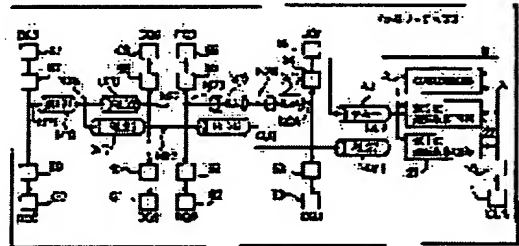
(72)Inventor : UCHIDA TOSHIYA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT MODULE, AND SEMICONDUCTOR INTEGRATED CIRCUIT SYSTEM

## (57)Abstract:

PROBLEM TO BE SOLVED: To enable supplying phase-synchronous control signals to each object independently of an object circuit and a physical position of a pad by making length of wiring from a first delay control circuit to each object circuit and magnitude of a load of a dummy wiring means respectively the same length and the same magnitude.

SOLUTION: Length of each real wiring 41 from an output end of a first delay control circuit 21 to each input end of a plurality of object circuits 50-57 is made approximately the same length respectively. Also, magnitude of a wiring load of a dummy wiring means 42 is made approximately coincident with magnitude of a wiring load of a real wiring 41 from the first delay control circuit 21 to its object circuits 50-57. Thereby, a phase-synchronous control signal can be supplied to them independently of physical positions at which the plurality of object circuits or pads are provided, further, this can be applied to a semiconductor integrated circuit module and a semiconductor integrated circuit system.



## LEGAL STATUS

[Date of request for examination]

19.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

- [Claim 1] The 1st and the 2nd delay control circuit (21, 22) to which a control signal (CLK) is supplied, this -- with two or more object circuits (5;50-57) to which the output signal of the 1st delay control circuit (21) is supplied through real wiring (41), respectively. The dummy output signal of said 2nd delay control circuit (22) is supplied through a dummy wiring means (42), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit which possesses a phase comparator circuit (3) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While making mostly the die length of each real wiring (41) from the outgoing end of said 1st delay control circuit (21) to each input edge of two or more of said object circuits (5;50-57) into the equal distance, respectively the magnitude of the wiring load of said dummy wiring means (42) -- this -- the magnitude of the wiring load of real wiring (41) from the 1st delay control circuit (21) to this object circuit (5;50-57) of 1 -- about -- the semiconductor integrated circuit characterized by constituting so that it may be made to do one.
- [Claim 2] a semiconductor integrated circuit according to claim 1 -- setting -- the wire length of said dummy wiring means (42) -- about [ the wire length of real wiring (41) from said 1st delay control circuit (21) to said object circuit (5;50-57) of 1, and ] -- the semiconductor integrated circuit characterized by making it make it do one.
- [Claim 3] The semiconductor integrated circuit characterized by having constituted each real wiring (41) from the outgoing end of said 1st delay control circuit (21) to the input edge of said each set elephant circuit (5;50-57) in the shape of a tree, and constituting in a semiconductor integrated circuit according to claim 1 so that the distance of each branching wiring may become equal from each branching part to the next branching part or the input edge of this object circuit.
- [Claim 4] The 1st and the 2nd delay control circuit (21, 22) to which a control signal (CLK) is supplied, this -- with two or more object circuits (5;50-57) to which the output signal of the 1st delay control circuit (21) is supplied through real wiring (41), respectively. The dummy output signal of said 2nd delay control circuit (22) is supplied through a dummy wiring means (42), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit which possesses a phase comparator circuit (3) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While arranging real wiring (41) from the outgoing end of said 1st delay control circuit (21) to the input edge of two or more of said object circuits (5;50-57) in the shape of [ which has symmetric property ] a tree the magnitude of the wiring load of said dummy wiring means (42) -- this -- the magnitude of the wiring load of real wiring (41) from the 1st delay control circuit (21) to said object circuit (5;50-57) of arbitration -- about -- the semiconductor integrated circuit characterized by constituting so that it may be made to do one.
- [Claim 5] a semiconductor integrated circuit according to claim 4 -- setting -- the wire length of said dummy wiring means (42) -- about [ the wire length of real wiring (41) from said 1st delay control circuit (21) to said object circuit (5;50-57) of 1, and ] -- the semiconductor integrated circuit characterized by making it make it do one.
- [Claim 6] The 1st and the 2nd delay control circuit (21, 22) to which a control signal (CLK) is supplied, this -- with two or more object circuits (5;50-57) to which the output signal of the 1st delay control circuit (21) is supplied through real wiring (41), respectively. The dummy output signal of said 2nd delay control circuit (22) is supplied through a dummy wiring means (42), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit which possesses a phase comparator circuit (3) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. Said two or more object circuits (5;50-57) consist of two or more groups. This each group Have the node which receives the output signal of said 1st delay control circuit, and while arranging real wiring of a before [ from the outgoing end of said 1st delay control circuit (21) / each node of two or more of said groups ] in the shape of [ which has symmetric property ] a tree the magnitude of the wiring load of said dummy wiring means (42) -- this -- the magnitude of the wiring load of real wiring (41) from the 1st delay control circuit (21) to said node of 1 -- about -- the semiconductor integrated circuit characterized by constituting so that it may be made to do one.
- [Claim 7] a semiconductor integrated circuit according to claim 6 -- setting -- the wire length of said dummy wiring means (42) -- about [ the wire length of real wiring (41) from said 1st delay control circuit (21) to said object circuit (5;50-57) of 1, and ] -- the semiconductor integrated circuit characterized by making it make it do one.
- [Claim 8] It is the semiconductor integrated circuit characterized by being the clock signal (CLK) which supplies said control signal to said each set elephant circuit in a semiconductor integrated circuit according to claim 1 to 7.
- [Claim 9] It is the semiconductor integrated circuit which said semiconductor integrated circuit is a Synchronous DRAM, and is characterized by said each set elephant circuit (5;50-57) being a data output buffer circuit of this Synchronous DRAM in a semiconductor integrated circuit according to claim 1 to 7.
- [Claim 10] It is the semiconductor integrated circuit characterized by said control signal being an enable signal of each of said data output buffer circuit (5;50-57) in a semiconductor integrated circuit according to claim 9.
- [Claim 11] The 1st and the 2nd delay control circuit (221, 222) to which a control signal (CLK) is supplied, this -- with two or more object semiconductor integrated circuits (250-253) with which the output signal of the 1st delay control circuit (221) is supplied through real wiring (241), respectively. The dummy output signal of said 2nd delay control circuit (222) is supplied through a dummy wiring means (242), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit module which possesses a phase comparator circuit (203) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While making mostly the die length of each real wiring (241) from the outgoing end

of said 1st delay control circuit (221) to each input edge of two or more of said object semiconductor integrated circuits (250-253) into the equal distance, respectively the magnitude of the wiring load of said dummy wiring means (242) – this – the magnitude of the wiring load of real wiring (241) from the 1st delay control circuit (221) to this object semiconductor integrated circuit (250-253) of 1 – about – the semiconductor integrated circuit module characterized by constituting so that it may be made to do one.

[Claim 12] a semiconductor integrated circuit module according to claim 11 – setting – the wire length of said dummy wiring means (242) – about [ the wire length of real wiring (241) from said 1st delay control circuit (221) to said object semiconductor integrated circuit (250-253) of 1, and ] – the semiconductor integrated circuit module characterized by making it make it do one.

[Claim 13] The semiconductor integrated circuit module characterized by having constituted each real wiring (241) from the outgoing end of said 1st delay control circuit (221) to the input edge of said each set elephant semiconductor integrated circuit (250-253) in the shape of a tree, and constituting in a semiconductor integrated circuit module according to claim 11 so that the distance of each branching wiring may become equal from each branching part to the next branching part or the input edge of this object semiconductor integrated circuit.

[Claim 14] The 1st and the 2nd delay control circuit (221,222) to which a control signal (CLK) is supplied, this – with two or more object semiconductor integrated circuits (250-253) with which the output signal of the 1st delay control circuit (221) is supplied through real wiring (241), respectively The dummy output signal of said 2nd delay control circuit (222) is supplied through a dummy wiring means (242), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit module which possesses a phase comparator circuit (203) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While arranging real wiring (241) from the outgoing end of said 1st delay control circuit (221) to the input edge of two or more of said object semiconductor integrated circuits (250-253) in the shape of [ which has symmetric property ] a tree the magnitude of the wiring load of said dummy wiring means (242) – this – the magnitude of the wiring load of real wiring (241) from the 1st delay control circuit (221) to said object semiconductor integrated circuit (250-253) of arbitration – about – so that it may be made to do one The semiconductor integrated circuit module characterized by constituting.

[Claim 15] a semiconductor integrated circuit module according to claim 14 – setting – the wire length of said dummy wiring means (242) – about [ the wire length of real wiring (241) from said 1st delay control circuit (221) to said object semiconductor integrated circuit (250-253) of 1, and ] – the semiconductor integrated circuit module characterized by making it make it do one.

[Claim 16] The 1st and the 2nd delay control circuit (221,222) to which a control signal (CLK) is supplied, this – with two or more object semiconductor integrated circuits (250-253) with which the output signal of the 1st delay control circuit (221) is supplied through real wiring (241), respectively The dummy output signal of said 2nd delay control circuit (222) is supplied through a dummy wiring means (242), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit module which possesses a phase comparator circuit (203) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. Said two or more object semiconductor integrated circuits (250-253) It consists of two or more groups. This each group Have the node which receives the output signal of said 1st delay control circuit, and while arranging real wiring of a before [ from the outgoing end of said 1st delay control circuit (221) / each node of two or more of said groups ] in the shape of [ which has symmetric property ] a tree the magnitude of the wiring load of said dummy wiring means (242) – this – the magnitude of the wiring load of real wiring (241) from the 1st delay control circuit (221) to said node of 1 – about – the semiconductor integrated circuit module characterized by constituting so that it may be made to do one.

[Claim 17] a semiconductor integrated circuit module according to claim 16 – setting – the wire length of said dummy wiring means (242) – about [ the wire length of real wiring (241) from said 1st delay control circuit (221) to said object semiconductor integrated circuit (250-253) of 1, and ] – the semiconductor integrated circuit module characterized by making it make it do one.

[Claim 18] It is the semiconductor integrated circuit module which said semiconductor integrated circuit module is a memory module, and is characterized by said each set elephant semiconductor integrated circuit (250-253) being the memory chip of this memory module in a semiconductor integrated circuit module according to claim 11 to 17.

[Claim 19] It is the semiconductor integrated circuit module which said control signal is a clock signal and is characterized by the input edge of said each set elephant semiconductor integrated circuit (250-253) being a clock input terminal in a semiconductor integrated circuit module according to claim 11 to 17.

[Claim 20] The 1st and the 2nd delay control circuit (321,322) to which a control signal (CLK) is supplied, this – with two or more object semiconductor integrated circuit modules (350-353) with which the output signal of the 1st delay control circuit (321) is supplied through real wiring (341), respectively The dummy output signal of said 2nd delay control circuit (322) is supplied through a dummy wiring means (342), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit system which possesses a phase comparator circuit (303) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While making mostly the die length of each real wiring (341) from the outgoing end of said 1st delay control circuit (321) to each input edge of two or more of said object semiconductor integrated circuit modules (350-353) into the equal distance, respectively the magnitude of the wiring load of said dummy wiring means (342) – this – the magnitude of the wiring load of real wiring (241) from the 1st delay control circuit (321) to said object semiconductor integrated circuit module (350-353) of 1 – about – so that it may be made to do one The semiconductor integrated circuit system characterized by constituting.

[Claim 21] a semiconductor integrated circuit system according to claim 20 – setting – the wire length of said dummy wiring means (342) – about [ the wire length of real wiring (341) from said 1st delay control circuit (321) to said object semiconductor integrated circuit module (350-353) of 1, and ] – the semiconductor integrated circuit system characterized by making it make it do one.

[Claim 22] The semiconductor integrated circuit system characterized by having constituted each real wiring (341) from the outgoing end of said 1st delay control circuit (321) to the input edge of said each set elephant semiconductor integrated circuit module (350-353) in the shape of a tree, and constitute in a semiconductor integrated circuit system according to claim 20 so that the distance of each branching wiring may become equal from each branching part to the next branching part or the input edge of this object semiconductor integrated circuit module.

[Claim 23] The 1st and the 2nd delay control circuit (321,322) to which a control signal (CLK) is supplied, this – with two or more object semiconductor integrated circuit modules (350-353) with which the output signal of the 1st delay control circuit (321) is supplied through real wiring (341), respectively The dummy output signal of said 2nd delay control circuit (322) is supplied through a dummy wiring means (342), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit system which possesses a phase comparator circuit (303) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While arranging real wiring (341) from the outgoing end of said 1st delay control circuit

(321) to the input edge of two or more of said object semiconductor integrated circuit modules (350-353) in the shape of [ which has symmetric property ] a tree The magnitude of the wiring load of said dummy wiring means (342) this – the magnitude of the wiring load of real wiring (341) from the 1st delay control circuit (321) to said object semiconductor integrated circuit module (350-353) of arbitration – about – the semiconductor integrated circuit system characterized by constituting so that it may be made to do one.

[Claim 24] a semiconductor integrated circuit system according to claim 23 – setting – the wire length of said dummy wiring means (342) – about [ the wire length of real wiring (341) from said 1st delay control circuit (321) to said object semiconductor integrated circuit module (350-353) of 1, and ] – the semiconductor integrated circuit system characterized by making it make it do one.

[Claim 25] The 1st and the 2nd delay control circuit (321, 322) to which a control signal (CLK) is supplied, this – with two or more object semiconductor integrated circuit modules (350-353) with which the output signal of the 1st delay control circuit (321) is supplied through real wiring (341), respectively The dummy output signal of said 2nd delay control circuit (322) is supplied through a dummy wiring means (342), and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit system which possesses a phase comparator circuit (303) to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. Said two or more object semiconductor integrated circuit modules (350-353) It consists of two or more groups. This each group Have the node which receives the output signal of said 1st delay control circuit, and while arranging real wiring of a before [ from the outgoing end of said 1st delay control circuit (321) / each node of two or more of said groups ] in the shape of [ which has symmetric property ] a tree the magnitude of the wiring load of said dummy wiring means (342) – this – the magnitude of the wiring load of real wiring (341) from the 1st delay control circuit (321) to said node of 1 – about – the semiconductor integrated circuit system characterized by constituting so that it may be made to do one.

[Claim 26] a semiconductor integrated circuit system according to claim 25 – setting – the wire length of said dummy wiring means (342) – about [ the wire length of real wiring (341) from said 1st delay control circuit (321) to said object semiconductor integrated circuit module (350-353) of 1, and ] – the semiconductor integrated circuit system characterized by making it make it do one.

[Claim 27] It is the semiconductor integrated circuit system which said each set elephant semiconductor integrated circuit module (350-353) is a memory module in a semiconductor integrated circuit system according to claim 20 to 26, and is characterized by the input edge of this each set elephant semiconductor integrated circuit module (350-353) being a clock input terminal.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor integrated circuit which supplies the control signal which carried out phase simulation to two or more objects, a semiconductor integrated circuit module, and a semiconductor integrated circuit system. In recent years, it is necessary for improvement in the speed and high integration to progress, and for a semiconductor integrated circuit to supply the clock signal with which the phase synchronized also to the clock signal to two or more circuits (output pad). For example, supply of the clock signal with which it was not concerned with the location on the chip with which each output-buffer circuit is formed to two or more output-buffer circuits of a Synchronous DRAM (SDRAM), but the phase synchronized is needed. The need for such a signal that carried out phase simulation has the same thing also not only about the clock signal in a semiconductor integrated circuit but about other control signals. Furthermore, the synchronization of the control signal in a semiconductor integrated circuit is demanded also about the control signal on a semiconductor integrated circuit module (for example, memory module), or the control signal in a semiconductor integrated circuit system (for example, memory system).

[0002]

[Description of the Prior Art] the working speed to which a memory device in recent years exceeds 100MHz -- attaining -- \*\*\*\* -- DLL (Delay Locked Line) etc. -- by doubling the phase of an external input clock signal and an internal output clock signal using a technique, the method of suppressing the delay and variation of the access time, as not visible [ from outside ] in the delay by internal clock wiring is used.

[0003] With such a DLL technique, in order to estimate the propagation delay by the load of an internal output clock signal line, dummy internal output clock wiring is prepared. Drawing 1 is the block diagram showing roughly an example of the semiconductor integrated circuit as a related technique, and shows a DLL circuit roughly. In drawing 1, in the reference mark 1, a clocked into pad and 5 show an output circuit (object circuit), and 6 shows the data output pad. Moreover, the delay control circuit where a time delay is carried out at least for a reference mark 3 by the phase comparator circuit, and adjustable control is carried out at least for 21 and 22 by the output of the phase comparator circuit 3, and 41 show internal output clock wiring (dummy wiring) of the dummy which has internal output clock wiring (real wiring) of a before [ from the delay control circuit 21 / an output circuit 5 ], and a wiring load with 42 [ equivalent to said internal output clock wiring ].

[0004] As shown in drawing 1, in a DLL circuit about -- from one input (the input of the delay control circuits 21 and 22: comparison reference signal  $\phi_{\text{ext}}$ ) A of the phase comparator circuit 3 -- about -- so that delay to the input (signal  $\phi_{\text{out}}$  for a comparison) B of another side of the phase comparator circuit 3 may become the time amount for one clock exactly The phase of two input signals is compared in the phase comparator circuit 3, and control of the amount of delay of the delay control circuits 21 and 22 is performed according to the comparison result. Consequently, the delay to input-clock A of the internal clock signal in the clocked into edge C of the actually used output circuit 5 also becomes the time

amount for one clock exactly, and the propagation delay of the real wiring 41 of it will be lost seemingly.

[0005]

[Problem(s) to be Solved by the Invention] Drawing 2 is drawing for explaining the technical problem in the semiconductor integrated circuit of drawing 1. That is, the output circuit 5 and the data output pad 6 in drawing 1 consist of circuits shown in drawing 2 as the output circuits 50-57 and the data output pads 60-67 (DQ0-DQ7) of plurality (a drawing top eight pieces) which were prepared in the location where it differs on a chip (memory chip). Here, each output circuits 50-57 are equivalent to two or more output-buffer circuits which can be set to SDRAM.

[0006] Thus, since those physical locations differ, respectively when two or more data output pads 60-67 (output circuits 50-57) exist in a chip, the die length (load of internal output clock wiring) of real wiring (41) also changes with locations of each output circuits 50-57. Therefore, when dummy wiring (42) is specified according to one of output circuits (data output pad), some error will be produced in other output circuits (data output pad).

[0007] If die-length DL of dummy wiring (42) is concretely set up in drawing 2 so that it may become equal to the die length RL4 of real wiring (41) to the output circuits 53 and 54 located from the delay control circuit (1st delay control circuit) 21 in the nearest location ( $DL=RL4$ ), the phase of the internal clock inputted into output circuits 53 and 54 is in agreement with the phase of the external clock signal inputted into a clock pad. however, with the data output pads 60 and 67 (DQ0 and DQ7) which are in the most distant location from the 1st delay control circuit 21 in this case Since the die length of real wiring (41) from the delay control circuit 21 to output circuits 50 and 57 is set to  $RL1+RL2+RL3+RL4$ , By not preparing dummy wiring (DL) corresponding to die-length  $RL1+RL2+RL3$  of real wiring, the supply timing of the propagation delay (error) part internal clock corresponding to this real wiring ( $RL1+RL2+RL3$ ) will become late.

[0008] Drawing 3 is drawing for explaining the technical problem in the semiconductor integrated circuit of drawing 2, and is for explaining the technical problem in actuation of SDRAM as an example of a semiconductor integrated circuit. In addition, SDRAM as an example of the semiconductor integrated circuit made into the object of this invention is explained in full detail behind. In drawing 3, tAC shows the clock access time from a system clock CLK, and tOH shows the output-data holding time to a front cycle or the following cycle. Considering the variation in the property of SDRAM, temperature dependence, and a supply voltage dependency, tAC and tOH will not be in agreement and will have a certain width of face. Data are indefinite time amount, and this time amount means the time amount which is not understood what kind of data are outputted, and has become the time amount which cannot be used, and the so-called dead band in the memory system. In addition, although not illustrated, the wiring time delay on a board and variation are also included in this dead band.

[0009] On the other hand, the setup time (tSI) and the hold time (tHI) need to be required to incorporate the output of SDRAM by the system side (it receives), and this time amount needs to be less than time amount that the data of a memory output have decided. The time amount becomes ( $tCLK+tOH-tAC$ ) from drawing. For example, considering the system which operates by 100MHz, if memory access time (tAC) is set and the cycle time (tCLK) sets the hold time (tOH) to 3ns for 6ns for 10ns, it will turn into time amount which 7ns of totals can use by the system side. The sum total ( $tSI+tHI$ ) of the SETOAPPU time amount of the receiving area logic in the system which used the usual input circuit, and the hold time is 3ns, and remaining 4ns becomes system floats, such as signal delay on a board, and variation between DQ terminals. Considering the signal travelling period on a board etc., this value can be called value very severe for a system. Furthermore, if it becomes a high-speed system, it cannot be overemphasized that still severer timing adjustment is needed. Therefore, it is becoming important to make as small as possible indefinite time amount of the data shown in drawing 3.

[0010] Even when the data output pads 60-67 (output circuits 50-57) explained with reference to drawing 2 are formed in the location where it differs in a chip in order to shorten indefinite time amount of data for example, data are always outputted with a predetermined phase to an external clock CLK, namely, it is good if the clock access time tAC is always fixed. If it is desirable to perform the output of

data synchronizing with the standup of an external clock CLK, the clock access time tAC should just always be zero.

[0011] As mentioned above, although the need that an output signal is outputted synchronizing with the signal inputted from the outside by making a Synchronous DRAM into an example was explained, this is may be common in the semiconductor integrated circuit of not only a Synchronous DRAM but many. About the interior of a semiconductor integrated circuit, it is possible to take various kinds of measures so that a request can be operated by each semiconductor device, but when outputting the processing result inside each semiconductor integrated circuit, it is important for it to be necessary to specify relation with other semiconductor devices, and to make timing of an output regularity.

[0012] for avoiding simply the propagation delay (error) by the difference in the die length of real wiring to each data output pads 60-67 which were mentioned above -- the dummy internal output clock wiring (dummy wiring) 42 -- about -- although only the number of data output pads should form the phase comparator circuit 3 and the delay control circuits (the 1st and 2nd delay control circuit) 21 and 22, then, it is disadvantageous in respect of circuit area, power consumption, etc. The technical problem of the conventional technique mentioned above is the same also in the semiconductor integrated circuit system (for example, memory system) containing the semiconductor integrated circuit module (for example, memory module) of not only the technical problem in the semiconductor integrated circuit (for example, memory chip) of one chip but the one circuit board, and further two or more circuit boards etc.

[0013] This invention is not concerned with the physical location in which two or more target circuits or pads were prepared in view of the technical problem which the conventional semiconductor integrated circuit mentioned above has, but aims at supplying the control signal which carried out phase simulation to each circuit or a pad. Furthermore, this invention aims at supplying the control signal which carried out phase simulation similarly also to a semiconductor integrated circuit module and a semiconductor integrated circuit system.

[0014]

[Means for Solving the Problem] The 1st and the 2nd delay control circuit to which a control signal is supplied according to the 1st gestalt of this invention, this -- with two or more object circuits to which the output signal of the 1st delay control circuit is supplied through real wiring, respectively The dummy output signal of said 2nd delay control circuit is supplied through a dummy wiring means, and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit which possesses a phase comparator circuit to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While making mostly the die length of each real wiring from the outgoing end of said 1st delay control circuit to each input edge of two or more of said object circuits into the equal distance, respectively the magnitude of the wiring load of said dummy wiring means -- this -- the magnitude of the wiring load of real wiring from the 1st delay control circuit to this object circuit of 1 -- about -- the semiconductor integrated circuit characterized by constituting so that it may be made to do one is offered.

[0015] Moreover, the 1st and the 2nd delay control circuit to which a control signal is supplied according to the 2nd gestalt of this invention, this -- with two or more object semiconductor integrated circuits with which the output signal of the 1st delay control circuit is supplied through real wiring, respectively The dummy output signal of said 2nd delay control circuit is supplied through a dummy wiring means, and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit module which possesses a phase comparator circuit to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While making mostly the die length of each real wiring from the outgoing end of said 1st delay control circuit to each input edge of two or more of said object semiconductor integrated circuits into the equal distance, respectively the magnitude of the wiring load of said dummy wiring means -- this -- the magnitude of the wiring load of real wiring from the 1st delay control circuit to this object semiconductor integrated circuit of 1 -- about -- the semiconductor integrated circuit module characterized by constituting so that it may be made to do one is offered.

[0016] Furthermore, the 1st and the 2nd delay control circuit to which a control signal is supplied

according to the 3rd gestalt of this invention, this -- with two or more object semiconductor integrated circuit modules with which the output signal of the 1st delay control circuit is supplied through real wiring, respectively The dummy output signal of said 2nd delay control circuit is supplied through a dummy wiring means, and the phase of said control signal and the output signal of this dummy wiring means is compared. It is the semiconductor integrated circuit system which possesses a phase comparator circuit to the extent that the time delay in said 1st and 2nd delay control circuits is controlled by the comparison result. While making mostly the die length of each real wiring from the outgoing end of said 1st delay control circuit to each input edge of two or more of said object semiconductor integrated circuit modules into the equal distance, respectively the magnitude of the wiring load of said dummy wiring means -- this -- the magnitude of the wiring load of real wiring from the 1st delay control circuit to this object semiconductor integrated circuit module of 1 -- about -- the semiconductor integrated circuit system characterized by constituting so that it may be made to do one is offered.

[0017]

[Embodiment of the Invention] According to the semiconductor integrated circuit of this invention, it is specified that the die length of each real wiring from the outgoing end of the 1st delay control circuit to each input edge of two or more object circuits becomes the equal distance mostly, respectively. Furthermore, the magnitude of the wiring load of a dummy wiring means is set up so that it may be mostly in agreement with the magnitude of the wiring load of real wiring from the 1st delay control circuit to the object circuit of 1.

[0018] Moreover, according to the semiconductor integrated circuit module of this invention, the die length of each real wiring from the outgoing end of the 1st delay control circuit to each input edge of two or more object semiconductor integrated circuits is mostly specified at the equal distance, respectively. Furthermore, the magnitude of the wiring load of a dummy wiring means is set up so that it may be mostly in agreement with the magnitude of the wiring load of real wiring from the 1st delay control circuit to the object semiconductor integrated circuit of 1.

[0019] Furthermore, according to the semiconductor integrated circuit system of this invention, the die length of each real wiring from the outgoing end of the 1st delay control circuit to each input edge of two or more object semiconductor integrated circuit modules is mostly specified at the equal distance, respectively. Furthermore, the magnitude of the wiring load of a dummy wiring means is set up so that it may be mostly in agreement with the magnitude of the wiring load of real wiring from the 1st delay control circuit to the object semiconductor integrated circuit module of 1.

[0020] It cannot be concerned with the physical location in which the object circuit (an object semiconductor integrated circuit or object semiconductor integrated circuit module) was established by this, but the control signal which carried out phase simulation to each set elephant circuit can be supplied.

[0021]

[Example] Hereafter, the example of the semiconductor integrated circuit applied to this invention with reference to a drawing, a semiconductor integrated circuit module, and a semiconductor integrated circuit system is explained. Drawing 4 is the block diagram showing one example of the semiconductor integrated circuit which applied this invention, and shows a DLL circuit roughly. In drawing 4, in the reference mark 1, a clock buffer circuit, and 50-57 show an output-buffer circuit (object circuit), and, as for a clocked into pad and 10, 60-67 show the data output pad (DQ0-DQ7). Moreover, as for the reference mark 21, a phase comparator circuit and 41 show internal output clock wiring (real wiring), and, as for the 1st delay control circuit and 22, at least the 2nd delay control circuit and 3 show dummy internal output clock wiring (dummy wiring), as for 42.

[0022] it is shown in drawing 4 -- as -- a clock signal CLK (A: comparison reference signal  $\phi_{int}$ ) -- the clocked into pad 1 and the clock buffer circuit 10 -- minding -- the 1st delay control circuit 21 and the 2nd delay control circuit 22 -- and -- about -- one input of the phase comparator circuit 3 is supplied. The output signal (clock signal) of the 1st delay control circuit 21 is supplied to each output-buffer circuits 50-57 through real wiring (41), respectively so that it may explain in full detail below. here -- about -- the output (a dummy clock signal, B: signal  $\phi_{out}$  for a comparison) of the 2nd delay control

circuit 22 supplies the input of another side of the phase comparator circuit 3 through the dummy wiring 42 -- having -- about -- the phase comparator circuit 3 compares the phase of these two input signals, and controls the 1st and 2nd delay control circuits 21 and 22. In addition, the detail of this DLL circuit is behind explained in full detail with reference to a drawing.

[0023] As shown in drawing 4, output circuits 50-57 and the data output pads 60-67 as well as the semiconductor integrated circuit of drawing 2 mentioned above are formed in the location where it differs on a chip (memory chip). In the 1st example of this invention shown in this drawing 4, a node N15 is formed in the center section of the real wiring RL2 in drawing 2, and the real wiring RL15 from the delay control circuit 21 is connected to this node N15. That is, the real wiring RL2 in drawing 2 is divided into two real wiring RL12 and RL13 which has the die length of the one half of this real wiring RL2. Therefore, the real wiring RL15 is arranged between the outgoing end of the delay control circuit (1st delay control circuit) 21, and a node N15, and the real wiring RL12 is arranged between a node N15 and a node N12, and the real wiring RL11 is arranged between a node N12 and a node N11. Furthermore, the real wiring RL13 is arranged between a node N15 and a node N13, and the real wiring RL14 is arranged between a node N13 and a node N14. Here, the die length of each real wiring is prescribed that  $RL12=RL13 (=1/2RL2)$  and  $RL11=RL14$  are realized.

[0024] At this time, it is  $RL15+RL13$  () about the die length of real wiring (41) in die-length DL1 of dummy wiring (42). Or the standup of the internal clock supplied to the buffer output circuits 52, 55, 51, and 56 (data output pads 62, 65, 61, and 66) by setting it as  $RL15+RL12$  (or) The timing of falling can be made in agreement with the timing of the standup (or falling) of clock signal A, and the error of the supply timing of an internal clock to each of these buffer output circuit can be abolished. In this case, in the buffer output circuits 53, 54, 50, and 57 (data output pads 63, 64, 60, and 67), since dummy wiring corresponding to the die length RL14 (RL11) of real wiring is not prepared, the propagation delay (error) corresponding to this real wiring will arise. However, the error in these data output pads 63, 64, 60, and 67 is a small thing from the data output pad 60 in drawing 2 mentioned above, and the error in 67 grades, and an improvement effect is acquired.

[0025] namely, -- as the shape of a tree which has symmetric property for each real wiring (41) from the outgoing end of the 1st delay control circuit 21 to the input edge of each output circuits (object circuit) 50-57 in this example -- specifying -- die-length DL of dummy wiring (42) -- this -- the distance of real wiring from the 1st delay control circuit to the output circuit of arbitration -- about -- it is made to do one

[0026] Drawing 5 is the block diagram showing other examples of the semiconductor integrated circuit which applied this invention, and improves the example of drawing 4 mentioned above. Here, the configuration of the 1st delay control circuit 21, the 2nd delay control circuit 22, and phase comparator circuit 3 grade is the same as that of the example of drawing 4 mentioned above. Here, the real wiring RL27 is arranged between the outgoing end of the 1st delay control circuit 21, and a node N27, and the real wiring RL25 is arranged between a node N27 and a node N25, and the real wiring RL26 is arranged between a node N27 and a node N26. Furthermore, the real wiring RL21 is arranged between a node N25 and a node N21, and the real wiring RL22 is arranged between a node N25 and a node N22, the real wiring RL23 is arranged between a node N26 and a node N23, and the real wiring RL24 is arranged between the node N26 and the node N24.

[0027] As shown in drawing 5, by this example, it is prescribed that the die length of each real wiring (41) from the outgoing end of the 1st delay control circuit 21 to the input edge of each output-buffer circuits 50-57 becomes the equal distance. that is, the die length RL21, RL22, RL23, and RL24 of real wiring (41) of the die length RL25 of real wiring (41) is altogether equal equally ( $RL25=RL26$ ) to RL26 ( $RL21=RL22=RL23=RL24$ ) -- it is specified like.

[0028] It follows. The output-buffer circuits 50 and 57 The die length of real wiring to (the output pads 60 and 67) the die length of real wiring to  $RL27+RL25+RL21$  and the output-buffer circuits 51 and 56 (output pads 61 and 66)  $RL27+RL25+RL22$ , the output-buffer circuits 52 and 55 the die length of real wiring to (the output pads 62 and 65) --  $RL27+RL26+RL23$  -- and Since the die length of real wiring to the output-buffer circuits 53 and 54 (output pads 63 and 64) is set to  $RL27+RL26+RL24$  and it is

RL25=RL26 and RL21=RL22=RL23=RL24, The die length of each real wiring from the outgoing end of the 1st delay control circuit 21 to the input edge of each output-buffer circuits 50-57 becomes the equal distance.

[0029] Furthermore Die-length DL2 of the dummy wiring 42 By making it in agreement with die-length  $RL27+RL25+RL21$  ( $=RL27+RL25+RL22=RL27+RL26+RL23=RL27+RL26+RL24$ ) of real wiring from the outgoing end of the delay control circuit 21 of the above 1st to the input edge of each output-buffer circuits 50-57 The output timing in all the output pads 60-67, for example, the output timing of the read-out data in SDRAM, can be synchronized. In addition, although the 2nd delay control circuit 22 and the dummy wiring 42 are removed, instead at least the signal of a node N24 is considered as the input of another side of the phase comparator circuit 3 in the configuration of drawing 5 and the approach in comparison with the signal (external clock CLK) from the clocked into pad 1 which is one input is also considered By this approach, in order to make it delay not produce at least the signal of a node N24 between the input signals of another side of the phase comparator circuit 3, at least a node N24 needs to approach the input edge of another side of the phase comparator circuit 3, it is necessary to arrange it, and a limit of a layout becomes large. If at least a node N24 approaches and arranges the phase comparator circuit 3, it will become impossible moreover, to take the synchronization with the internal clock inputted into an external clock and each output circuits 50-57 by the wiring delay for it. Therefore, in this invention, it is considering as the configuration which formed the 2nd delay control circuit 22 and the dummy wiring 42.

[0030] drawing for drawing 6 to explain the example of 1 configuration of the delay control circuits (delay section) 21 and 22 in the semiconductor integrated circuit of this invention -- it is -- this drawing (a) -- the configuration of the delay circuit for 1 bit -- being shown -- this drawing (b) -- this -- the timing diagram of actuation of the delay circuit for 1 bit is shown, and explanation of operation is indicated to be a configuration when this drawing (c) connects two or more steps of delay circuits for 1 bit.

[0031] As shown in drawing 6 (a), the delay circuit for 1 bit is equipped with two NAND gates 401 and 402 and an inverter 403, and is constituted. If actuation of this delay circuit for 1 bit is explained with reference to drawing 6 (b), input phiE will be an activation signal (enable signal), and a delay circuit will operate at the time of high-level"H". The condition that enable signal phiE became high-level"H" and access of a signal was attained is shown by drawing 6 (b). In addition, in drawing 6 (b), the signal from the delay circuit of the right-hand side which adjoins among the delay circuits where IN showed the input signal to the delay circuit for 1 bit, and two or more steps of phiIN was connected, and OUT show the wave of the node to which the output signal of the delay circuit for 1 bit, 4a-1, and 4a-2 correspond in the circuit of drawing 6 (a). Therefore, OUT corresponds to signal phiIN in the delay circuit for 1 bit which adjoins left-hand side.

[0032] When signal phiIN is a low "L", an output signal OUT is always set to a low "L", and when signal phiIN is [ signal phiE ] a low "L" in high-level"H", an output signal OUT becomes high-level"H". When signal phiIN is [ signal phiE ] high-level"H" in high-level"H", if an input signal IN is a low "L", an output signal OUT will become high-level"H", and it will be set to a low "L" if IN is high-level"H".

[0033] According to the circuit of drawing 6 (a), enable signal phiE will spread the input signal for the path of an arrow head, if an input signal IN starts in the state of high-level"H", but in the state of a low "L", an input signal IN spreads [ enable signal phiE ] in the path of an arrow head to an output OUT.

Drawing 6 (c) is the example which carried out two or more step cascade connection of the delay circuit for 1 bit shown in drawing 6 (a), and is equivalent to an actual delay circuit. Here, although only three steps are drawn in drawing 6 (c), stage connection is made much in fact. Moreover, the signal line of enable signal phiE is controlled by those with two or more, and these signals are controlled by the delay control circuit like phiE-1, phiE-2, and phiE-3 for every circuit element. In addition, the delay control circuit shown in drawing 6 (a) - (c) is included and drawn on the delay control circuits 21 and 22 by drawing 4 and drawing 5.

[0034] In drawing 6 (c), the central delay circuit for 1 bit is activated, and enable signal phiE-2 have become high-level"H". In this case, if an input signal IN changes from a low "L" to high-level"H", since

enable signal  $\phi E-1$  of the left end delay circuit for 1 bit and the right end delay circuit for 1 bit and  $\phi E-3$  are lows "L", an input signal IN will be stopped by NAND gate 401-1 and 401-3 like a thick wire.

[0035] On the other hand, since enable signal  $\phi E-2$  of the delay circuit for 1 bit of the center activated are high-level "H" level, an input signal IN passes through NAND gate 401-2. Since the output signal OUT of the right-hand side delay circuit for 1 bit is high-level "H", an input signal IN will pass also through NAND gate 402-2, and the signal of a low "L" will be transmitted as an output signal OUT. As mentioned above, since an output signal OUT is always set to a low "L" when it is a low "L", right-hand side output signal OUT, i.e., enable signal  $\phi N$ , sequential transfer is carried out at the left-hand side NAND gate and left-hand side inverter of a delay circuit for 1 bit, and the signal of this low "L" is taken out as a final output signal.

[0036] Thus, through the delay circuit for activated 1 bit, signal transduction of the input signal IN is carried out so that it may be turned up, and it turns into a final output signal. That is, the amount of delay is controllable by of which part enable signal  $\phi E$  is made into high-level "H". The amount of delay for 1 bit is determined by the signal travelling period of the sum total of a NAND gate and an inverter, and this time amount turns into delay unit time amount of a DLL circuit, and the whole delay time becomes the amount which multiplied by the number of stages passed in the amount of delay for 1 bit.

[0037] Drawing 7 is drawing for explaining the example of 1 configuration of the delay control circuit (control section) in the semiconductor integrated circuit of this invention. As shown in drawing 7, the delay control circuit also has the composition that the delay circuit connected the delay control circuit 430-2 for 1 bit enclosed with a dotted line by the number of stages, and the output of each stage is set to enable signal  $\phi E$  of each stage of a delay circuit.

[0038] Concretely, the delay control circuit 430-2 for 1 bit has NAND gate 432-2, and the transistor 435-2, 437-2, 438-2, 439-2 connected to the serial, respectively to the both ends of the flip-flop which consists of inverters 433-2 and the NOR gate 431-2. The gate of a transistor 438-2 is connected to node 5a-2 of the delay control circuit for 1 bit of the preceding paragraph, the gate of a transistor 439-2 is connected to node 5a-5 of the latter delay control circuit for 1 bit, and the signal of the preceding paragraph and the latter part is received. On the other hand, set signal  $\phi SE$  when counting up and  $\phi SO$ , and reset-signal  $\phi RE$  and  $\phi RO$  when counting down are connected to the transistor of another side by which the series connection is carried out in the circuit in every other bit.

[0039] As shown in drawing 7, in the central delay control circuit 430-2 for 1 bit, set signal  $\phi SE$  and reset-signal  $\phi RE$  are supplied to the gate of a transistor where set signal  $\phi SO$  is supplied to the gate of a transistor 435-2, and reset-signal  $\phi RO$  is supplied to a transistor 437-2, and the circuit of the both sides of the preceding paragraph of the delay control circuit 430-2 and the latter part each corresponds, respectively. Moreover, it has the composition that node 5a-1 of a left-hand side circuit (preceding paragraph) and the signal of node 5a-4 of a circuit 430-2 are inputted into the NOR gate 431-2. In addition,  $\phi R$  is the signal which resets a delay control circuit, is set to low "L" level temporarily after powering on, and is fixed to high-level "H" after that.

[0040] Drawing 8 is a timing chart for explaining actuation of the delay control circuit of drawing 7. As shown in drawing 8, first, reset-signal  $\phi R$  is temporarily set to a low "L", and it acts node 5a-1, 5a-3, and 5a-5 to a low "L" as Ritt of high-level "H" and 5a-2, 5a-4, and 5a-6. And when counting up, count-up signal (set signal)  $\phi SE$  and  $\phi SO$  repeat high-level "H" and a low "L" by turns.

[0041] If set signal  $\phi SE$  becomes high-level "H" from a low "L", node 5a-1 will be grounded, and it will be set to a low "L", and node 5a-2 will change to high-level "H". In response to the fact that node 5a-2 changed to high-level "H", output-signal (enable signal)  $\phi E-1$  changes from high-level "H" to a low "L." Since this condition is latched to a flip-flop, even if set signal  $\phi SE$  returns to a low "L", enable signal  $\phi E-1$  is still a low "L." And in response to the fact that node 5a-1 changed to the low "L", enable signal (output signal)  $\phi E-2$  change from a low "L" to high-level "H". Since node 5a-2 changed to high-level "H", if a transistor 438-2 is turned on and set signal  $\phi SO$  becomes high-level "H" from a low "L", node 5a-3 will be grounded and node 5a-4 will change to a low "L" again at high-level "H". Furthermore, in response to the fact that node 5a-4 changed to high-level "H", enable signal  $\phi E-2$  change from high-

level "H" to a low "L." Since this condition is latched to a flip-flop, even if set signal phiSO returns to a low "L", enable signal phiE-2 are still a low "L."

[0042] And in response to the fact that node 5a-3 changed to the low "L", enable signal phiE-3 change from a low "L" to high-level "H". In drawing 8, although set signal phiSE and one pulse of phiSOs have only come out at a time, the delay control circuit is connected to many steps, and if set signal phiSE and phiSO repeat high-level "H" and a low "L" by turns, the location of the stage where output-signal (enable signal) phiE becomes high-level "H" will shift to right-hand side one by one. Therefore, what is necessary is just to input the pulse of set signal phiSE and phiSO by turns, when it is necessary to make the amount of delay increase by the comparison result of the phase comparator circuit 3.

[0043] If the condition, i.e., the condition of being a low "L", that count-up signal (set signal) phiSE and phiSO, and count-down signal (reset signal) phiRE and phiRO are not outputted is maintained, the location of the stage where enable signal phiE becomes high-level "H" is fixed. therefore -- about -- when the amount of delay needs to be maintained by the comparison result of the phase comparator circuit 3, it is made not to input the pulse of signal phiSE, phiSO, phiRE, and phiRO

[0044] If the pulse of reset-signal phiRE and phiRO is inputted by turns when counting down, the location of the stage where output phiE becomes high-level "H" to the time of count-up and reverse will shift to left-hand side one by one. As explained above, by inputting a pulse, it is possible to move every one location of the stage where enable signal phiE becomes high-level "H", and if the delay circuit shown in drawing 6 (c) is controlled by such enable signal phiE, the one unit of the amounts of delay is controllable [ at a time ] by the delay control circuit shown in drawing 7. In addition, the delay control circuit (control section) shown in drawing 7 is included and drawn on the phase comparator circuit 3 by drawing 4 and drawing 5.

[0045] Drawing 9 is drawing for explaining the example of 1 configuration of a phase comparator circuit (phase comparator) also in the semiconductor integrated circuit of this invention, and drawing 10 is a timing chart at least for that of drawing 9 to explain actuation of a phase comparator circuit. The phase comparator circuit (3) consists of two circuit parts of the amplifying-circuit section shown in drawing 11 later mentioned with a phase comparator to the extent that it is shown in drawing 9.

[0046] In drawing 9, reference mark phiout and phiext show the output signal and external clock signal which are compared in this phase comparator circuit, and the phase of signal phiout is judged on the basis of signal phiext, and phi a-phi e shows the output signal connected to an amplifying circuit. As shown in drawing 9, it has the delay circuit 423 for 1 delay which obtains 426, the circuit 424 which generates the activation signal of a latch circuit, and the phase allowed value of external clock signal phiext in the latch circuit 425 list which latches 422 and its condition to the flip-flop circuit 421 list by which the phase comparator was constituted from two NAND gates at least for that of the phase comparator circuit 3, and is constituted.

[0047] Drawing 10 (a) shows the case where signal phiout becomes high-level "H" from a low "L" ahead of signal phiext, when the phase is progressing [ signal phiout for a comparison ] rather than comparison reference signal phiext. When both signal phiout and signal phiext are lows "L", all of node 6a-2 of flip-flop circuits 421 and 422, 6a-3, 6a-4, and 6a-5 are high-level "H". If signal phiout changes from a low "L" to high-level "H", both node 6a-2 and 6a-4 will change from high-level "H" to a low "L." Then, although signal phiext becomes high-level "H" from a low "L", and it is behind by 1 delay and node 6a-1 becomes high-level "H" from a low "L", since the potential of the both ends of a flip-flop is already decided, change is not produced at all. After all, in node 6a-2, high-level "H" and node 6a-4 maintain a low "L", and, as for node 6a-5, a low "L" and node 6a-3 maintain high-level "H".

[0048] On the other hand, according to signal phiext having changed from the low "L" to high-level "H", output-signal phia of a circuit 424 changes from a low "L" to high-level "H", and the pulse temporarily set to high-level "H" level is impressed to node 6a-6. Since these node 6a-6 are the input of the NAND gate of latch circuits 425 and 426, this NAND gate will be activated temporarily and the potential condition of the both ends of flip-flop circuits 421 and 422 will be incorporated to latch circuits 425 and 426. Finally, high-level "H" and output-signal phie is set [ output-signal phib / high-level "H" and output-signal phic ] to a low "L" by low "L" and output-signal phid.

[0049] Next, the phase of drawing 10 (b) of signal phiout for a comparison and comparison reference signal phiext is almost the same, and the case where signal phiout serves as signal phiext from a low "L" mostly at high-level"H" at coincidence is shown. When signal phiout changes from a low "L" to high-level"H" into time difference with the standup [ of signal phiout ], and standup time of node 6a-1, when signal phiext becomes high-level"H" from a low "L", node 6a-3 of a flip-flop 421 change from a low "L" to high-level"H" first. In a flip-flop 422, since node 6a-1 continues being a low "L", node 6a-4 change from high-level"H" to a low "L" conversely. Then, although node 6a-1 changes from high-level"H" to a low "L", since the condition of a flip-flop 422 was already decided, change is not produced at all. Then, since node 6a-6 become high-level"H" temporarily, this condition is memorized by the latch circuit and high-level"H" and output-signal phie is set [ output-signal phib / low "L" and output-signal phic ] to a low "L" by high-level"H" and output-signal phid after all.

[0050] Furthermore, the phase is behind comparison reference signal phiext in signal phiout for a comparison, and (c) shows the case where phiout becomes high-level"H" from a low "L" after phiext. In this case, change arises in two flip-flop circuits 421 and 422, and 6a-3 and 6a-5 change with phiext(s) from high-level"H" to a low "L." And finally a low "L" and phie become [ phib / a low "L" and phic / high-level"H" and phid ] high-level"H".

[0051] Thus, it becomes possible for the build up time of signal (signal for comparison) phiout to have become high-level"H" before it on the basis of the build up time of signal (comparison reference signal) phiext, or to detect whether it was almost simultaneous or it was late and became high-level"H". These detection results are latched as a value of output-signal phib, phic, phid, and phie, and it will be decided whether count up a delay control circuit based on the value or count down.

[0052] Drawing 11 is drawing for explaining the example of 1 configuration of a phase comparator circuit (amplifying-circuit section) also in the semiconductor integrated circuit of this invention, and drawing 12 is a timing chart at least for that of drawing 11 to explain actuation of the JK flip-flop in a phase comparator circuit. As shown in drawing 11, the amplifying-circuit section of the phase comparator circuit 3 is equipped with two parts of JK flip-flop 427 and the amplifier 428 which consists of a NAND gate and an inverter, and is constituted. It is \*\*\*\*\* to the structure to which output-signal phia from a phase comparator is inputted, and the potential of node 7a-9 and 7a-11 repeats a low "L" and high-level"H" at least for that of drawing 9 by turns in JK flip-flop 427 according to whether signal phia is a low "L" or it is high-level"H". An amplifier 428 is amplified and outputted in response to the output signal of JK flip-flop 427, and the signal of signal phib and phid.

[0053] First, actuation of JK flip-flop 427 is explained with reference to the timing chart of drawing 12. By time amount T1, if signal phia changes from high-level"H" to a low "L", node 7a-1 and 7a-10 will change from a low "L" to high-level"H". On the other hand, although node 7a-5, 7a-6, and 7a-7 change according to change of node 7a-1, since signal phia is a low "L", node 7a-8 do not change. After all, output (node) 7a-9 do not change but only output 7a-11 become high-level"H" from a low "L." Next, if it becomes time amount T2 and phia changes from a low "L" to high-level"H", since, as for 7a-10, 7a-7 do not change at a low "L", node 7a-8 will not change from high-level"H" to the motion by time amount T1, and reverse, but output 7a-9 will change from a low "L" to high-level"H", and output 7a-11 will not change. Thus, according to a motion of signal phia, as for the JK-flip-flop circuit 427, output 7a-9 and 7a-11 consider by turns the motion which repeats a low "L" as high-level"H".

[0054] Drawing 13 is a timing chart (at the time of count-up) at least for that of drawing 11 to explain actuation of the amplifying-circuit section in a phase comparator circuit, and drawing 14 is a timing chart (at the time of count maintenance) at least for that of drawing 11 to explain actuation of the amplifying-circuit section in a phase comparator circuit, and at least that [ drawing 15's ] of drawing 11 is a timing chart (at the time of a count-down) for explaining actuation of the amplifying-circuit section in a phase comparator circuit. Next, actuation of an amplifier 428 is explained with reference to drawing 13 - drawing 15.

[0055] Drawing 13 shows the case where signal phiout for a comparison becomes high-level"H" from a low "L" previously, to the standup of comparison reference signal phiext. For high-level"H" and signal phic, low "L" and signal phid is [ that in this case / signal phib / high-level"H" and signal phie of the

input signal from a phase comparator ] a low "L." Although node 7a-12 become high-level"H", node 7a-13 are fixed to a low "L" after all and set signal phiSO and phiSE change according to the condition of a JK flip-flop, as for reset-signal phiRO and phiRE, 7a-13 do not change for a low "L."

[0056] Drawing 14 shows the case where signal phiout for a comparison serves as comparison reference signal phiext from a low "L" mostly at high-level"H" at coincidence. For low "L" and signal phic, high-level"H" and signal phid is [ that in this case / signal phib / high-level"H" and signal phie of the input signal from a phase comparator ] a low "L." After all, node 7a-12 and 7a-13 are fixed to a low "L", as for reset-signal phiSO and phiSE, the output of a JK flip-flop does not influence an amplifier, and signal phiSO, phiSE, phiRO, and phiRE remain fixed to a low "L."

[0057] Drawing 15 shows the case where signal phiout for a comparison is overdue to the standup of comparison reference signal phiext, and it becomes high-level"H" from a low "L." For low "L" and signal phic, high-level"H" and signal phid is [ that in this case / signal phib / low "L" and signal phie of the input signal from a phase comparator ] high-level"H". Although node 7a-12 are fixed to a low "L", node 7a-13 are fixed to high-level"H" after all and reset-signal phiRO and phiRE change according to the condition of a JK flip-flop, as for set signal phiSO and phiSE, node 7a-13 do not change for a low "L."

[0058] Drawing 16 is drawing showing the configuration of the Synchronous DRAM as an example to which the semiconductor integrated circuit concerning this invention is applied, and drawing 17 is a timing chart for explaining actuation of the Synchronous DRAM of drawing 16 . A pipelined architecture is adopted and the Synchronous DRAM (SDRAM) as an example of the semiconductor integrated circuit with which this invention is applied is constituted as a thing of 16M and 2 bank 8-bit width of face.

[0059] SDRAM is equipped with the clock buffer 101, the command decoder 102, an address buffer / register & bank address selection 103 (address buffer), the I/O data buffer / register 104, the control signal latches 105a and 105b, the mode register 106, and the column address counters 107a and 107b other than the DRAM cores 108a and 108b of a commodity-grade DRAM as shown in drawing 16 . Here, when /CS, /RAS, /CAS, and a /WE terminal input various commands in the combination unlike the conventional actuation, a mode of operation is determined. Various commands will be decoded by the command decoder and will control each circuit according to a mode of operation. Moreover, the condition is latched until /CS, /RAS, /CAS, and a /WE signal are inputted also into the control signal latches 105a and 105b and the following command is inputted.

[0060] It is amplified with an address buffer 103, and is used as a load address of each bank, and also an address signal is used as initial value of the column address counters 107a and 107b. The clock buffer 101 is equipped with the internal clock generation circuit 121 and the output timing control circuit 122. The internal clock generation circuit 121 is for generating the clock signal which generates the usual internal clock signal from an external clock CLK, and performed exact delay control (phase control) with the application of DLL which mentioned above the output timing control circuit 122.

[0061] An I/O data buffer / register 104 is equipped with the data input buffer 13 and the data output buffer 5 (output circuits 50-57), the signal read from the DRAM cores 108a and 108b is amplified by predetermined level with the data output buffer 5, and data are outputted through pads DQ0-DQ7 to the timing which followed the clock signal from the output timing control circuit 122. Moreover, the data inputted from pads DQ0-DQ7 are incorporated through the data input buffer 13 also about input data. Here, the target real wiring (RL) of the semiconductor integrated circuit of this invention is equivalent to wiring from this output timing control circuit 122 to each data output buffer 5.

[0062] Reading actuation of the above-mentioned SDRAM is explained with reference to drawing 17 . First, an external clock CLK is a signal supplied from the system by which this SDRAM is used, and it operates so that various commands, an address signal, and input data may be incorporated or output data may be outputted synchronizing with this standup of CLK. When reading data from SDRAM, an active (ACT) command is inputted into a command terminal from the combination of a command signal (/CS, /RAS, /CAS, /WE signal), and a row address signal is inputted into an address terminal. If this command and a row address are inputted, SDRAM will be in an active state, will choose the word line

according to a row address, will output the cel information on a word line to a bit line, and will amplify it with a sense amplifier.

[0063] Furthermore, a lead command (Read) and the column address are inputted after the operating time (tRCD) of the part related to a row address. According to the column address, selected sense amplifier data are outputted to a data bus line, it amplifies with data bus amplifier, it amplifies further by the output buffer, and data are outputted to an output terminal (DQ). In the case of SDRAM, although actuation of these single strings is the completely same actuation as a commodity-grade DRAM, the circuit related to the column address carries out pipeline actuation, and lead data will carry out \*\* cycle continuation, and will be outputted. Thereby, a data transfer rate becomes the period of an external clock.

[0064] Those with three kind and all are defined as the access time in SDRAM on the basis of the standup time of CLK. In drawing 17, in tRAC, the row address access time and tCAC show the column address access time, and tAC shows the clock access time. When using this SDRAM with a high-speed memory system, tRAC and tCAC which are time amount after inputting a command until data are obtained first are also important, and as drawing 3 explained, the clock access time tAC is also important.

[0065] Drawing 18 is the block diagram showing roughly the important section configuration of the Synchronous DRAM of drawing 16, is for explaining the pipeline actuation in SDRAM, and shows the case where the pipe is prepared three steps as an example. The processing circuit related to the column address in SDRAM is divided into two or more steps in accordance with the flow of processing, and is calling the circuit of each divided stage the pipe.

[0066] The clock buffer 101 is equipped with the internal clock generation circuit 121 and the output timing control circuit 122 as explained with reference to drawing 16. The output (the usual internal clock signal) of the internal clock generation circuit 121 is supplied to a pipe -1 and a pipe -2. The output (internal clock signal by which phase control was carried out) of the output timing control circuit 122 is supplied to the output circuit 5 (data-output buffer: 50-57) of a pipe -3.

[0067] Each pipe is controlled according to the supplied internal clock signal, and between each pipe, the switch which controls the transfer timing of the signal between pipes is formed, and it is controlled by the internal clock signal by which these switches were also generated with the clock buffer 101 (internal clock generation circuit 121). In the example shown in drawing 18, in a pipe -1, the information on the sense amplifier circuit 117 equivalent to the address address which amplified the address signal with the column address buffer 116, and was chosen as the column decoder 118 by delivery and the column decoder 118 in the address signal is outputted to a data bus, and it is carried out until it amplifies the information on a data bus with the data bus amplifier 119. Moreover, only the data bus control circuit 120 is established in a pipe -2, and the pipe -3 consists of I/O buffers 104 (output circuit 5). In addition, the data input buffer 13 in I/O buffer 104 is omitted by drawing 18.

[0068] And if the circuit in each pipe also carries out completion of operation within clock cycle time amount, it will send out data to a relay type by opening and closing the switch between pipes synchronizing with a clock signal. By this, processing with each pipe will be performed in parallel, and data will be continuously outputted to an output terminal synchronizing with a clock signal.

[0069] Drawing 19 is drawing for explaining the example of 1 configuration of the output circuit (data-output buffer circuit: 5, 50-57) in the semiconductor integrated circuit concerning this invention. As shown in drawing 18 and drawing 19, Data1 and Data2 in drawing 19 are read from the cel array 115, and it is a signal corresponding to a sense amplifier 117, the data bus amplifier 119, and the stored data outputted through the data bus control circuit 120, and Data1 and Data2 are lows "L" when [ both ] output data are high-level"H", and when [ both ] output data are a low "L", they are high-level"H". In addition, it is also possible to take the hi-z state (Hi-Z condition) whose output data are not high-level"H" or a low "L", either, and in that case, in the data bus control circuit 120, it is changed so that Data1 may set it high-level"H" and Data2 may be set to a low "L." Signal phioe corresponds to the output signal (clock signal) of the output timing control circuit 122 (1st delay control circuit 21), and functions as an enable signal of an output circuit 5 (50-57).

[0070] If clock signal *phioe* becomes high-level "H", it will operate so that the information on Data1 and Data2 may appear to the data output pad 6 (60-67). For example, if the case where high-level "H" is outputted to the data output pad 6 is assumed, clock signal *phioe* changes from a low "L" to high-level "H", node 8a-1 will be set to a low "L", node 8a-2 will set it high-level "H", the transfer gate will turn on, and Data1 and Data2 will be transmitted to node 8a-3 and 8a-6. Consequently, when node 8a-5 are set to a low "L" and node 8a-8 set it high-level "H", the P channel transistor 81 for an output serves as ON, and N channel transistor 82 becomes off, and the output of high-level "H" will appear in the data output pad 6. Moreover, if clock signal *phioe* is set to a low "L", the transfer gate will be turned off and the output state till then will be held.

[0071] In the above explanation, although the semiconductor integrated circuit of this invention was explained as a Synchronous DRAM, if this invention is a semiconductor integrated circuit with which an output signal is outputted not only synchronizing with a Synchronous DRAM but synchronizing with the signal inputted from the outside, it is applicable to anythings. Drawing 20 is drawing for explaining the example of 1 configuration of the internal output clock wiring 42 (dummy wiring DL) of the dummy in the semiconductor integrated circuit concerning this invention. The dummy wiring DL is formed for example, on a chip, and is formed with wiring of the same line breadth as real wiring (RL) so that clearly from drawing 20. In addition, wiring for dummies will be similarly prepared on a module or the circuit board about the internal output clock wiring 242 of the dummy in the semiconductor integrated circuit module explained below, and the internal output clock wiring 342 of the dummy in a semiconductor integrated circuit system. In addition, it is also possible to substitute combining a capacitive element or a resistance element etc. which has a predetermined value instead of. [ this dummy wiring ]

[0072] Drawing 21 is drawing showing an example of the memory module (DIMM: SIMM: Single Inline Memory Module and Dual Inline Memory Module) which applied this invention, and shows a DLL circuit roughly. In drawing 21, a reference mark 201 shows a clock connector area, and 250-253 show Memory IC (object circuit). Furthermore, as for the reference mark 221, a phase comparator circuit and 241 show internal output clock wiring (real wiring), and, as for the 1st delay control circuit and 222, at least the 2nd delay control circuit and 203 show dummy internal output clock wiring (dummy wiring), as for 242.

[0073] As shown in drawing 21, the clock signal CLK is supplied to one input of the 1st delay control circuit 221, the 2nd delay control circuit 222, and the phase comparator circuit 203 through the clock connector area 201. The output signal (clock signal) of the 1st delay control circuit 221 is supplied to each memory 250-ICs 253 through real wiring (241) like the semiconductor integrated circuit shown in drawing 5, respectively. here -- about -- the output (dummy clock signal) of the 2nd delay control circuit 222 supplies the input of another side of the phase comparator circuit 203 through the dummy wiring 242 -- having -- about -- the phase comparator circuit 203 compares the phase of these two input signals, and controls the 1st and 2nd delay control circuits 221,222. In addition, the detail of this DLL circuit is as having mentioned above with reference to the drawing.

[0074] The memory module (semiconductor integrated circuit module) shown in drawing 21 is equivalent to the thing which made the output-buffer circuits 50-57 (or data output pads 60-67) in the semiconductor integrated circuit of drawing 5 correspond to memory 250-ICs 253. As shown in drawing 21, this example has prescribed that the die length of each real wiring (241) from the outgoing end of the 1st delay control circuit 221 to each memory 250-ICs 253 (clocked into pad of each memory IC) becomes the equal distance. that is, the die length RL31, RL32, RL33, and RL34 of real wiring (41) of the die length RL35 of real wiring (241) is altogether equal equally (RL35=RL36) to RL36 (RL31=RL32=RL33=RL34) -- it is specified like.

[0075] It follows. the die length of real wiring to memory IC 250 -- the die length of real wiring to RL37+RL35+RL31 and memory IC 251 -- the die length of real wiring to RL37+RL35+RL32 and memory IC 252 -- RL37+RL36+RL33 -- and Since the die length of real wiring to memory IC 253 is set to RL37+RL36+RL34 and it is RL35=RL36 and RL31=RL32=RL33=RL34, The die length of each real wiring from the outgoing end of the 1st delay control circuit 221 to the clocked into pad of each memory

250-ICs 253 becomes the equal distance. Furthermore Die-length DL3 of the dummy wiring 242 To die-length  $RL37+RL35+RL31$  ( $=RL37+RL35+RL32=RL37+RL36+RL33=RL37+RL36+RL34$ ) of real wiring from the outgoing end of the delay control circuit 221 of the above 1st to the clocked into pad of each memory 250-ICs 253 By making it in agreement, the timing of operation in all the memory 250-ICs 253 can be synchronized.

[0076] Drawing 22 is drawing showing an example of the memory system which applied this invention. In drawing 22, a reference mark 300 shows a clock generator and 350-353 show the memory module (object circuit). Furthermore, as for the reference mark 321, a phase comparator circuit and 341 show internal output clock wiring (real wiring), and, as for the 1st delay control circuit and 322, at least the 2nd delay control circuit and 303 show dummy internal output clock wiring (dummy wiring), as for 342.

[0077] As shown in drawing 22, the clock signal CLK generated with the clock generator 300 is supplied to one input of the 1st delay control circuit 321, the 2nd delay control circuit 322, and the phase comparator circuit 303. The output signal (clock signal) of the 1st delay control circuit 321 is supplied to each memory modules 350-353 through real wiring (341) like the memory module shown in drawing 21, respectively. here -- about -- the output (dummy clock signal) of the 2nd delay control circuit 322 supplies the input of another side of the phase comparator circuit 303 through the dummy wiring 342 -- having -- about -- the phase comparator circuit 303 compares the phase of these two input signals, and controls the 1st and 2nd delay control circuits 321,322. In addition, the detail of this DLL circuit is as having mentioned above with reference to the drawing.

[0078] The memory system (semiconductor integrated circuit system) shown in drawing 22 is equivalent to the thing which made the memory 250-ICs 253 in the memory module of drawing 21 correspond to memory modules 350-353. As shown in drawing 22, this example has prescribed that the die length of each real wiring (341) from the outgoing end of the 1st delay control circuit 321 to each memory modules 350-353 (clock input terminal of each memory module) becomes the equal distance. that is, the die length RL41, RL42, RL43, and RL44 of real wiring (341) of the die length RL45 of real wiring (341) is altogether equal equally ( $RL45=RL46$ ) to RL46 ( $RL41=RL42=RL43=RL44$ ) -- it is specified like.

[0079] It follows. the die length of real wiring to a memory module 350 -- the die length of real wiring to  $RL47+RL45+RL41$  and a memory module 351 -- the die length of real wiring to  $RL47+RL45+RL42$  and a memory module 352 --  $RL47+RL46+RL43$  -- and Since the die length of real wiring to a memory module 353 is set to  $RL47+RL46+RL44$  and it is  $RL45=RL46$  and  $RL41=RL42=RL43=RL44$ , The die length of each real wiring from the outgoing end of the 1st delay control circuit 221 to the clocked into pad of each memory 250-ICs 253 becomes the equal distance. Furthermore Die-length DL3 of the dummy wiring 242 To die-length  $RL47+RL45+RL41$  ( $=RL47+RL45+RL42=RL47+RL46+RL43=RL47+RL46+RL44$ ) of real wiring from the outgoing end of the delay control circuit 221 of the above 1st to the clock input terminal of each memory modules 350-353 By making it in agreement, the timing of operation in all the memory modules 350-353 can be synchronized.

[0080] In addition, although the configuration corresponding to the semiconductor integrated circuit of drawing 5 was shown and drawing 21 and drawing 22 which were mentioned above explained, it cannot be overemphasized that the configuration of the semiconductor integrated circuit of drawing 4 is also applicable to a memory module or a memory system. In the above explanation, although memory (SDRAM), the memory module, and the memory system were explained as an example, this invention is broadly applicable also to other various semiconductor integrated circuits, semiconductor integrated circuit modules, and semiconductor integrated circuit systems. Furthermore, although each above-mentioned example explained taking the case of the clock signal as a control signal, of course, it is not what is limited to a clock signal as a control signal.

[0081]

[Effect of the Invention] As mentioned above, as explained in full detail, according to the semiconductor integrated circuit of this invention, it cannot be concerned with the physical location in which two or

more target circuits or pads were prepared, but the control signal which carried out phase simulation to each circuit or a pad can be supplied. Furthermore, according to this invention, the control signal which carried out phase simulation similarly can be supplied also to a semiconductor integrated circuit module and a semiconductor integrated circuit system.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

## [Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing roughly an example of the semiconductor integrated circuit as a related technique.

[Drawing 2] It is the block diagram showing the appearance of clock wiring in the semiconductor integrated circuit of drawing 1.

[Drawing 3] It is drawing for explaining the technical problem in the semiconductor integrated circuit of drawing 2.

[Drawing 4] It is the block diagram showing one example of the semiconductor integrated circuit which applied this invention.

[Drawing 5] It is the block diagram showing other examples of the semiconductor integrated circuit which applied this invention.

[Drawing 6] It is drawing for explaining the example of 1 configuration of the delay control circuit (delay section) in the semiconductor integrated circuit of this invention.

[Drawing 7] It is drawing for explaining the example of 1 configuration of the delay control circuit (control section) in the semiconductor integrated circuit of this invention.

[Drawing 8] It is a timing chart for explaining actuation of the delay control circuit of drawing 7.

[Drawing 9] It is drawing for explaining the example of 1 configuration of a phase comparator circuit (phase comparator) also in the semiconductor integrated circuit of this invention.

[Drawing 10] It is a timing chart at least for that of drawing 9 to explain actuation of a phase comparator circuit.

[Drawing 11] It is drawing for explaining the example of 1 configuration of a phase comparator circuit (amplifying-circuit section) also in the semiconductor integrated circuit of this invention.

[Drawing 12] It is a timing chart at least for that of drawing 11 to explain actuation of the JK flip-flop in a phase comparator circuit.

[Drawing 13] It is a timing chart (at the time of count-up) at least for that of drawing 11 to explain actuation of the amplifying-circuit section in a phase comparator circuit.

[Drawing 14] It is a timing chart (at the time of count maintenance) at least for that of drawing 11 to explain actuation of the amplifying-circuit section in a phase comparator circuit.

[Drawing 15] It is a timing chart (at the time of a count-down) at least for that of drawing 11 to explain actuation of the amplifying-circuit section in a phase comparator circuit.

[Drawing 16] It is drawing showing the configuration of the Synchronous DRAM as an example to which the semiconductor integrated circuit concerning this invention is applied.

[Drawing 17] It is a timing chart for explaining actuation of the Synchronous DRAM of drawing 16.

[Drawing 18] It is the block diagram showing roughly the important section configuration of the Synchronous DRAM of drawing 16.

[Drawing 19] It is drawing for explaining the example of 1 configuration of the output circuit (data output buffer circuit) in the semiconductor integrated circuit concerning this invention.

[Drawing 20] It is drawing for explaining the example of 1 configuration of internal output clock wiring

(dummy wiring) of the dummy in the semiconductor integrated circuit concerning this invention.

[Drawing 21] It is drawing showing an example of the memory module which applied this invention.

[Drawing 22] It is drawing showing an example of the memory system which applied this invention.

[Description of Notations]

1 -- Clocked into pad

At least 3 -- is a phase comparator circuit.

5, 50-57 -- Output circuit (output-buffer circuit)

6, 60-67 -- Data output pad

10 -- Clock buffer circuit

21,221,321 -- Delay control circuit

22,222,322 -- Delay control circuit

41,241,341 -- Internal output clock wiring (real wiring)

42,242,342 -- Dummy internal output clock wiring (dummy wiring)

---

[Translation done.]

## \* NOTICES \*

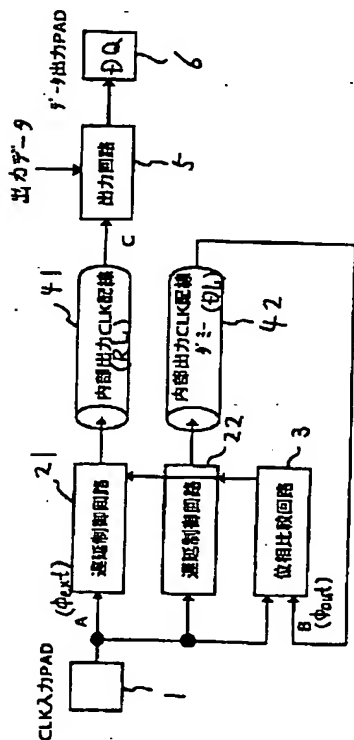
JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

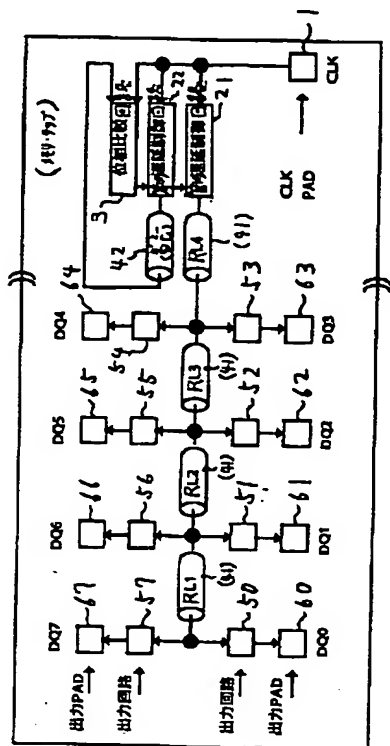
## [Drawing 1]

図1は、半導体集積回路の一例を概念的に示すブロック図



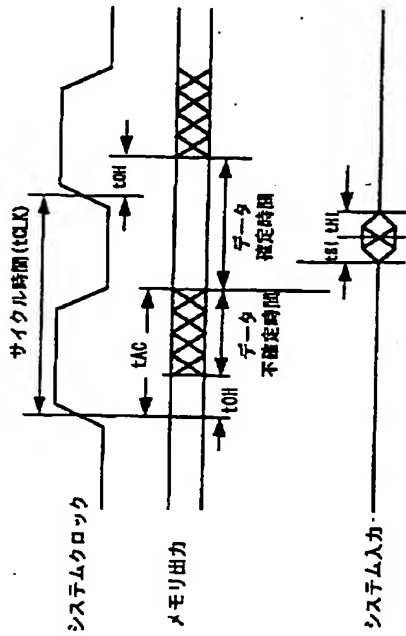
## [Drawing 2]

図1の半導体集積回路におけるクロック回路の接点を示すブロック図



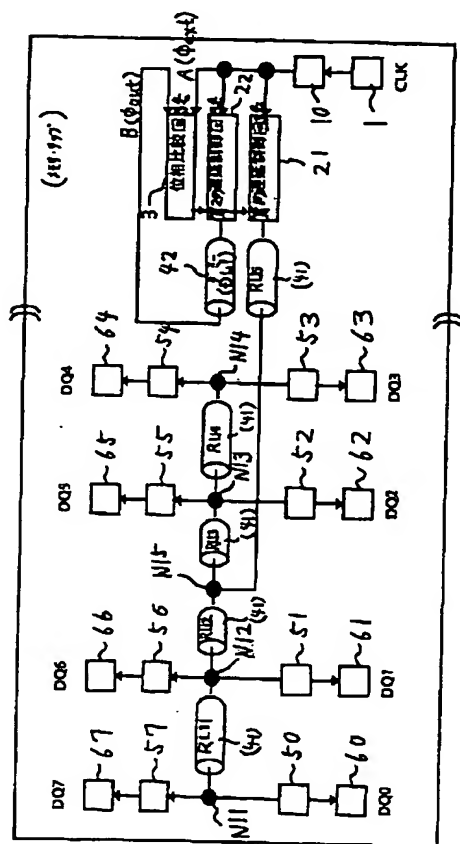
[Drawing 3]

図2の半導体装置回路における問題を説明するための図

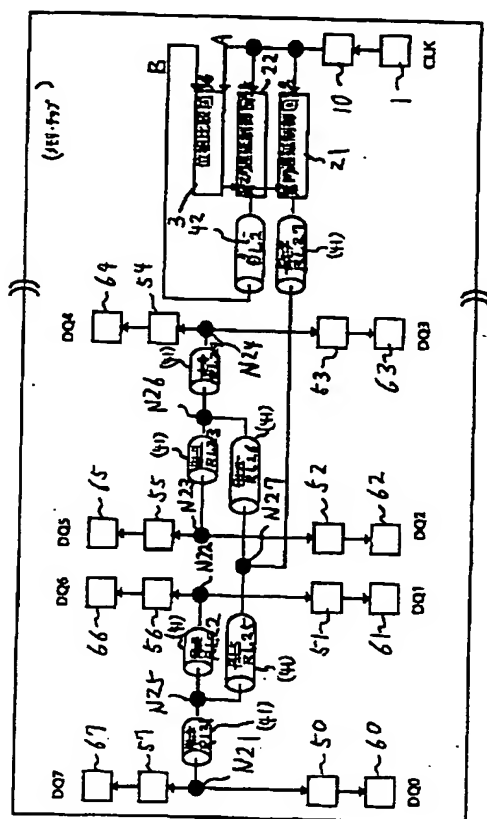


[Drawing 4]

本発明を用いた半導体集積回路の一実施例を示すブロック図

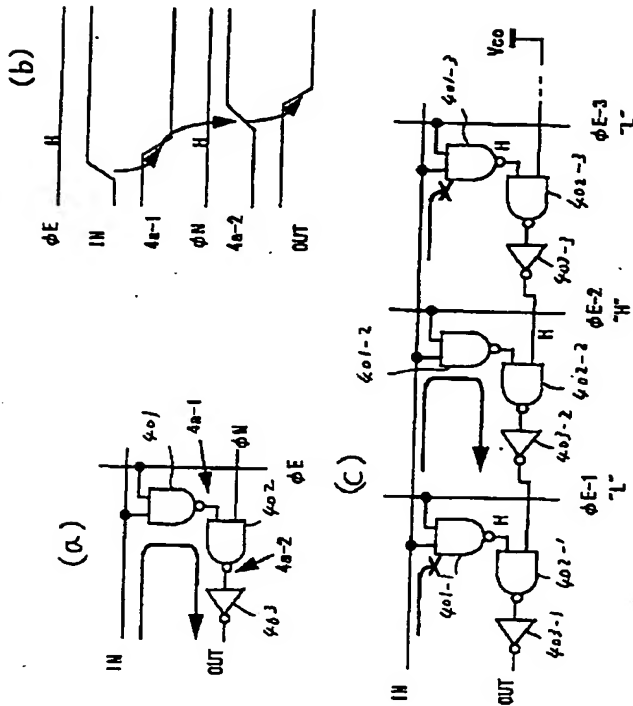


[Drawing 5]



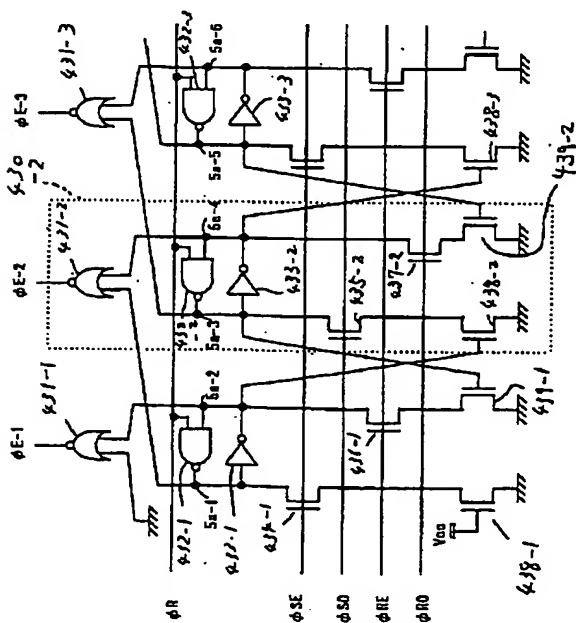
[Drawing 6]

本発明の半導体集積回路における遅延検出回路 (第1図) の一構成例を説明するための図



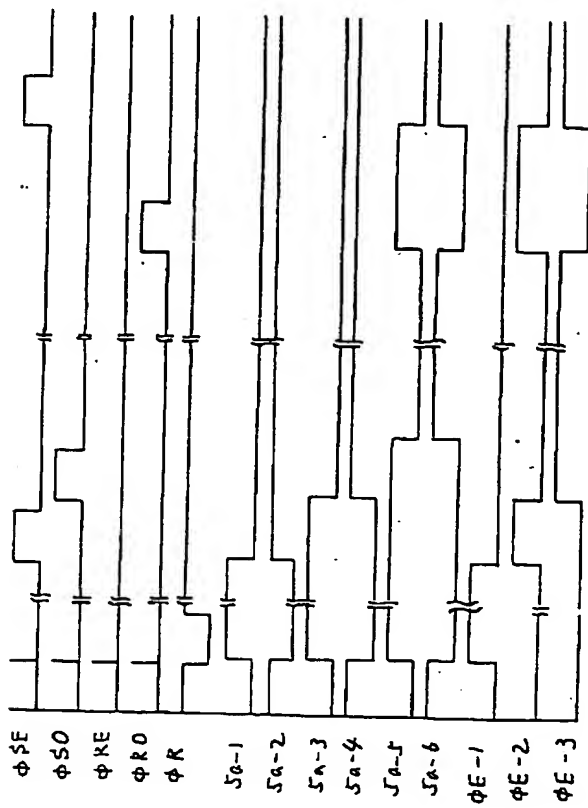
[Drawing 7]

本発明の半導体集積回路における遅延検出回路 (第2図) の一構成例を説明するための図

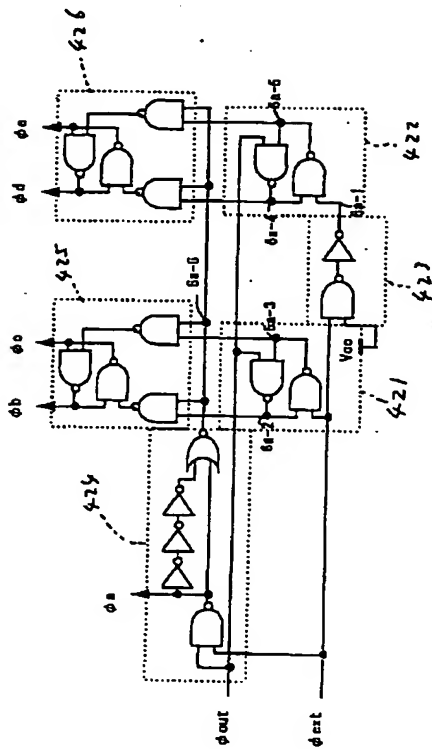


**[Drawing 8]**

図7の通信制御回路の動作を説明するためのタイミング図

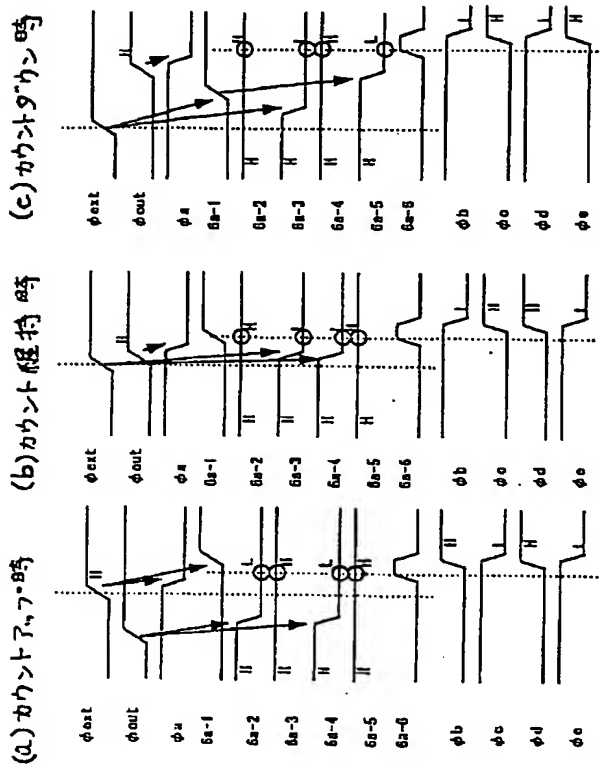
**[Drawing 9]**

本発明の半導体集積回路における位相比較回路（位相比較器）の  
一実施形態を説明するための図



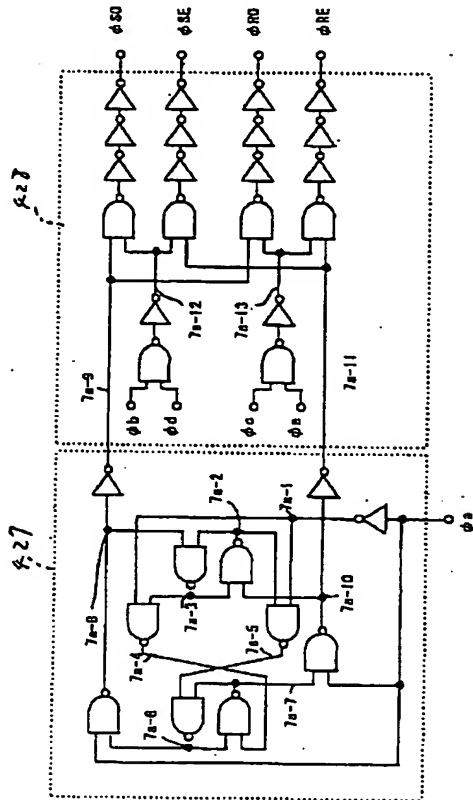
[Drawing 10]

図9の位相比較回路の動作を説明するためのタイミング図



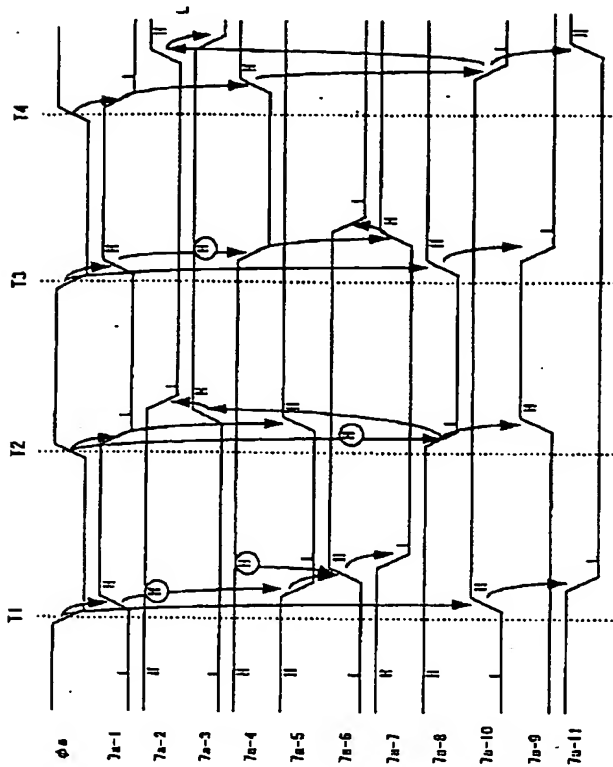
[Drawing 11]

本発明の半導体集積回路における位相比較回路（位相回路部）の  
一実施形態を示すための図



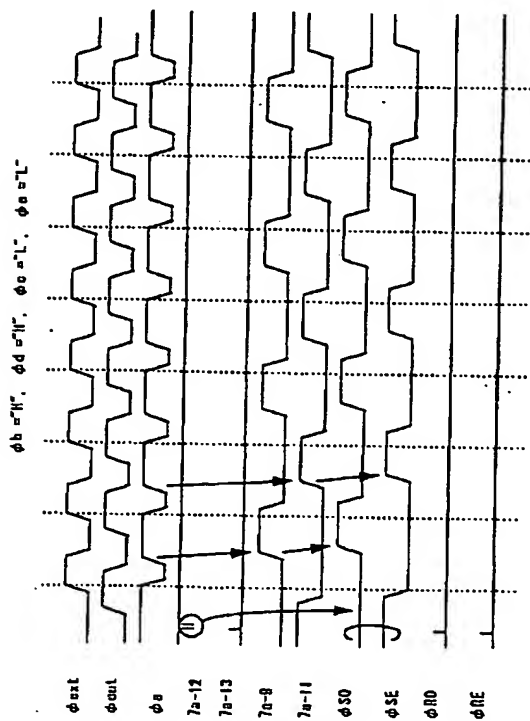
[Drawing 12]

図11の位相比較回路におけるJKフリップフロップの動作を説明するためのタイミング図



[Drawing 13]

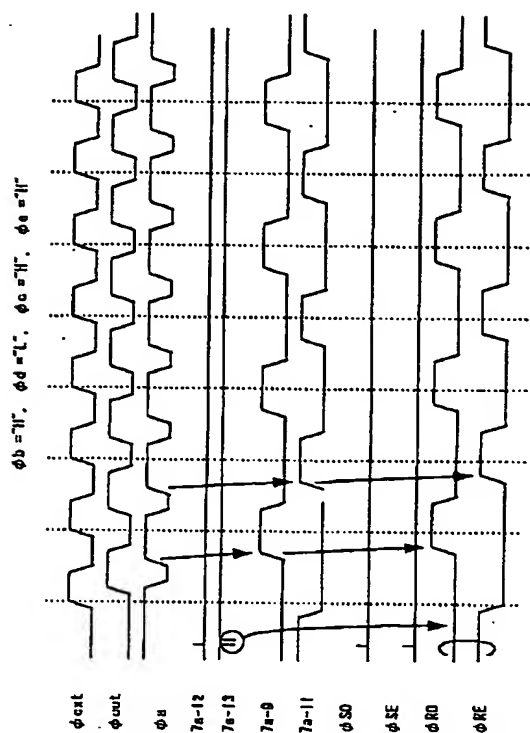
図11の位相比較回路における増幅回路の動作を説明するための  
タイミング図 (カウントアップ時)



[Drawing 14]

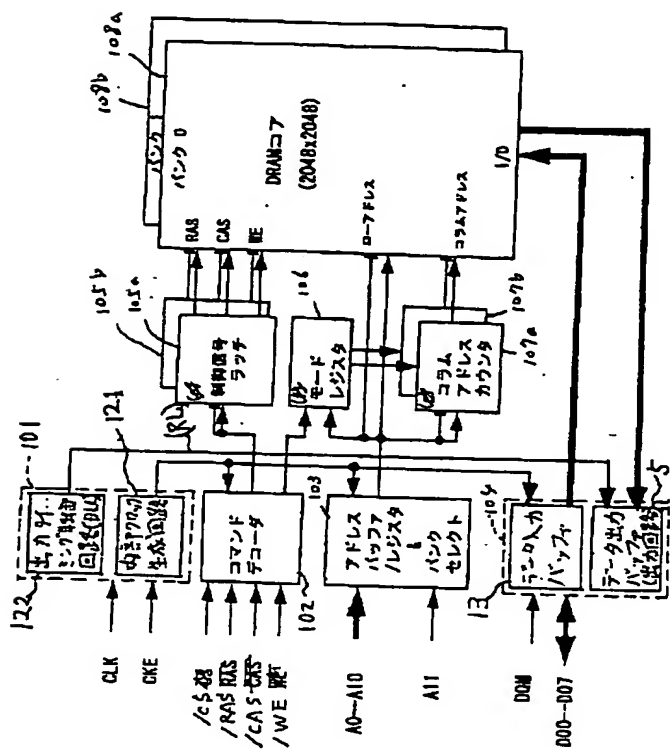


図11の位相比較回路における増幅回路の動作を説明するための  
タイミング図 (カウントダウン時)



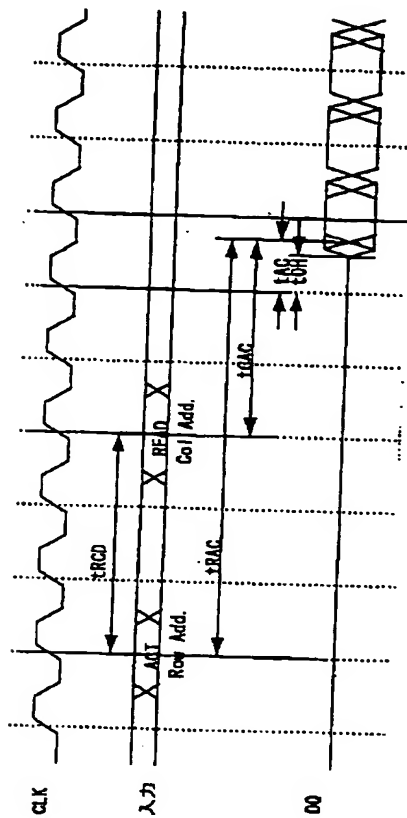
[Drawing 16]

本発明に係る半導体集積回路が適用される一例としてのシンクロナス  
DRAMの構成を示す図



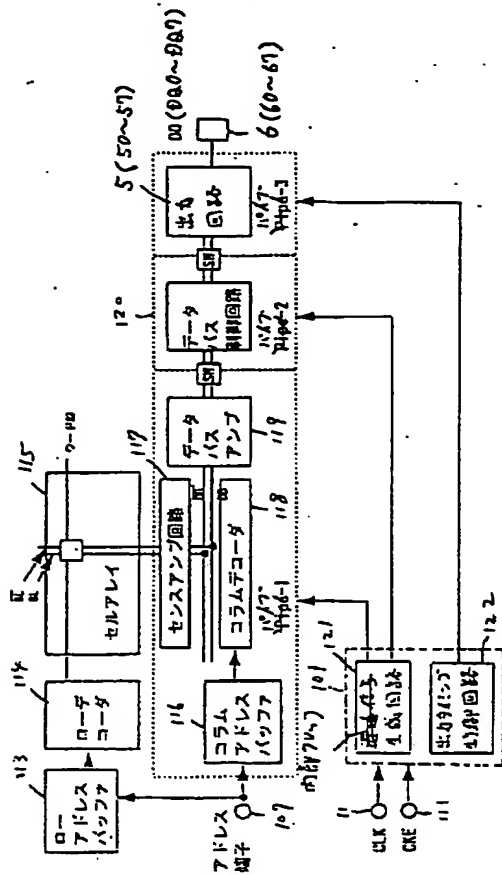
[Drawing 17]

図18のシンクロナスDRAMの動作を説明するためのタイミング図



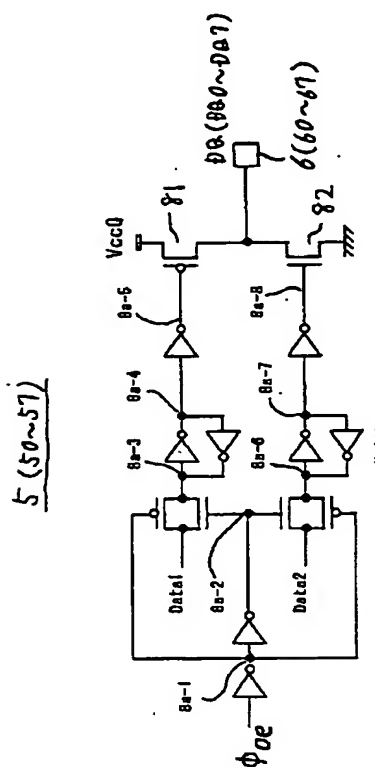
[Drawing 18]

図16のシンクロナスDRAMの要部回路を模式的に示すブロック図



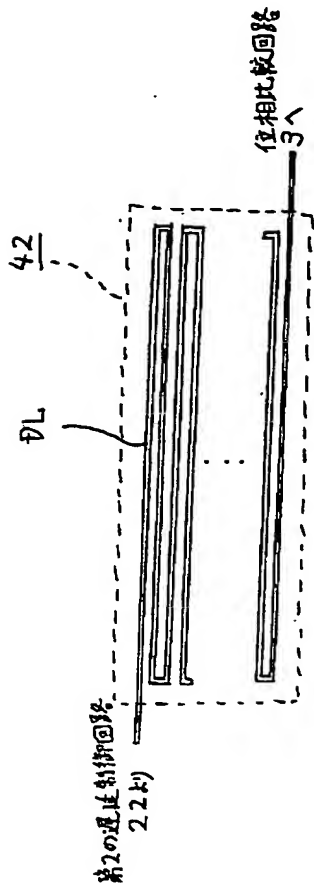
[Drawing 19]

本発明に係る半導体集積回路における出力回路（データ出力バッファ回路）の一例を説明するための図



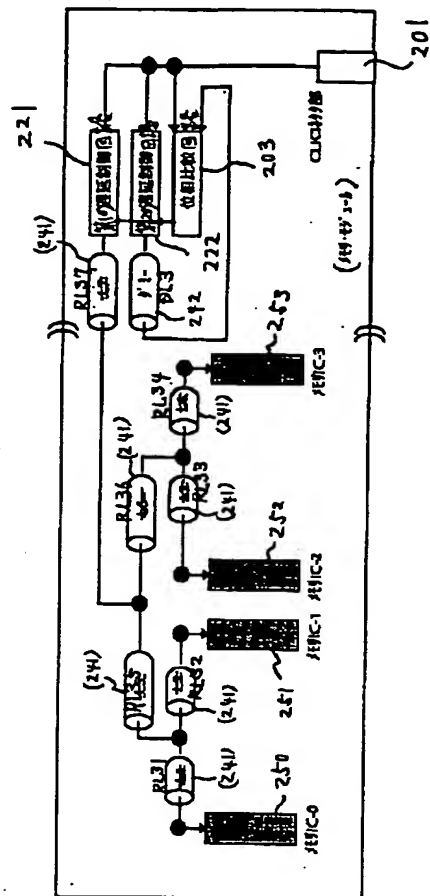
[Drawing 20]

本発明に係る半導体集積回路におけるダミーの内部出力クロック配線  
(ダミー配線) の一構成例を説明するための図



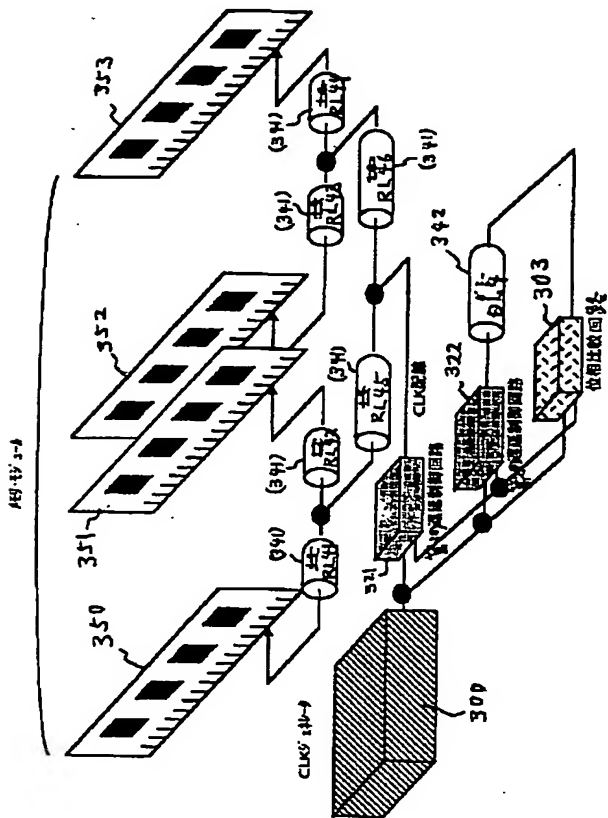
[Drawing 21]

本発明を適用したメモリモジュールの一例を示す図



[Drawing 22]

本発明を適用したメモリシステムの一例を示す図



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**